

Fakultät für Physik und Astronomie

Ruprecht-Karls-Universität Heidelberg

Diplomarbeit
im Studiengang Physik

vorgelegt von
Uwe Stange
aus Stuttgart

2000

Charakterisierung und Weiterentwicklung des CIPix

Die Diplomarbeit wurde von Uwe Stange ausgeführt am
Physikalischen Institut
unter der Betreuung von
Herrn Prof. Dr. Ulrich Straumann

Zusammenfassung

In dieser Arbeit wird die Charakterisierung und Weiterentwicklung des CMOS-ASICs CIPix vorgestellt. Der CIPix wird als Auslesechip für die innere Vieldrahtproportionalkammer des H1-Detektors im Rahmen des CIP-Upgrade-Projektes im Jahr 2000 eingesetzt.

Der Chip besteht aus 64 Kanälen mit rauscharmen, ladungsempfindlichen Vorverstärkern und Pulsformern. Die 64 verstärkten Signale werden durch 64 Komparatoren digitalisiert und durch einen vierfachen Multiplexer auf 16 Digitalausgänge geführt. Die verschiedenen Parameter der einzelnen Komponenten des Chips sind über ein serielles I²C-Bus Protokoll programmierbar.

In dieser Arbeit werden die verschiedenen Komponenten des CIPix beschrieben, durchgeführte Simulationen, Meßergebnisse und Erweiterungen des CIPix dargestellt.

Abstract

This thesis describes the characterization and development of the CMOS-ASIC CIPix. The CIPix will be used as a readout chip for the central inner proportional chamber of the H1-detector for the CIP upgrade project in the year 2000.

The chip integrates 64 channels with low noise charge sensitive preamplifiers and shapers. The input signals are digitized by 64 comparators and multiplexed by 4 onto 16 digital outputs. Various parameters and components of the chip are programmable via an I²C-bus protocol.

Different elements of the CIPix are described, simulations, test results and the further development of the chip are presented.

Inhaltsverzeichnis

Abbildungsverzeichnis	iii
Tabellenverzeichnis	v
Einführung	1
1 Das H1-Experiment	3
1.1 Der Speicherring HERA	3
1.2 Der H1-Detektor	5
1.3 Das geplante H1-Upgrade	7
2 CIPix, der CIP-Auslese-ASIC	11
2.1 Frontend	12
2.2 Komparator	12
2.3 Multiplexer	13
2.4 Analoger Ausgang	13
2.5 Biasgeneratoren	13
2.6 Adressgenerator	13
2.7 I ² C-Interface	14
2.8 Testpulsgenerator	14
3 CIPix-Tests	17
3.1 Vorbereitungen	17
3.1.1 Tests mit der Nadelkarte	17
3.1.2 Bestückung der CIP-Auslesekarte	17
3.1.3 Programm zum Ansteuern des CIPix	17
3.2 Tests im Labor	18
3.2.1 Stromaufnahme des CIPix	19
3.2.2 Adressvergabe	19
3.2.3 I ² C-Programmierung	20
3.2.4 Linearität des Frontends	20
3.2.5 Verhalten des Frontends bei Lastkapazität	21
3.3 Tests am CIP-Prototypen	21
3.3.1 Sättigung des Frontends	21
3.3.2 Padposition und Pulshöhenspektren	22
4 Der neue CIPix	27

5 Zusammenfassung	29
A Technische Daten	31
B Pad-Beschreibung des CIPix1.1	37
B.1 Pads vorne	37
B.2 Pads unten	39
B.3 Pads hinten	40
B.4 Pads oben	41
C Externe Beschaltung des CIPix1.1	43
Literaturverzeichnis	43

Abbildungsverzeichnis

1.1	Der Speicherring HERA am DESY in Hamburg.	4
1.2	Das H1-Koordinatensystem	5
1.3	Schematische Ansicht des H1-Detektors	6
1.4	Seitliche Ansicht des inneren Spurkammersystems.	7
1.5	Das H1-Triggersystem	8
2.1	Blockdiagramm des CIPix1.0.	11
2.2	Schematische Darstellung der Adressierungskette.	14
2.3	Schema eines kompletten Datentransfers.	15
3.1	Programm zum beschreiben der CIPix Register.	18
3.2	Schematischer Überblick über den Meßaufbau.	18
3.3	Schematische Einkoppelschaltung.	19
3.4	Addressvergabe.	20
3.5	I ² C-Programmiersequenz.	20
3.6	I ² C-Programmiersequenz.	21
3.7	Linearität des Frontends.	21
3.8	Gain in Abhängigkeit von der Lastkapazität.	22
3.9	Peaktime in Abhängigkeit von der Lastkapazität.	23
3.10	Sättigung bei großen Signalen.	23
3.11	24
3.12	Pulshöhenspektrum.	24
3.13	Delaytime.	25
3.14	Falltime.	25
B.1	Schematische Zeichnung der Padanordnung des CIPix1.1.	38
C.1	Externe Beschaltung des CIPix1.1	44

Tabellenverzeichnis

1.1	HERA-Sollparameter	4
1.2	Physikalische Prozesse bei HERA	8
2.1	Typische Werte für den Vorverstärker	12
3.1	CIPix Stromaufnahme	19
3.2	Pulshöhe, Delay und Risetime	22
A.1	Pattern Generator technische Daten	32
A.2	Pod P3410 technische Daten	33
A.3	Glob-Top technische Daten	34
A.4	Silberleitkleber technische Daten	35
B.1	Pads an der Vorderseite des CIPix1.1	37
B.2	Pads an der Unterseite des CIPix1.1	39
B.3	Pads an der Rückseite des CIPix1.1	40
B.4	Pads auf der Oberseite des CIPix1.1	41

Einführung

Das H1-Experiment am Speicherring HERA des Deutschen Elektronen Synchrotrons (DESY) in Hamburg liefert seit 1992 Daten für verschiedene Forschungsgebiete im Bereich der Hochenergiephysik. Um neue Forschungsgebiete erschließen zu können, sind für das Jahr 2000 eine Reihe von Änderungen am Speicherring geplant, die die Luminosität um den Faktor 5 erhöhen werden. Im Zuge des H1-Upgrade-2000 Projekts werden einige Komponenten des Detektors umgebaut oder durch leistungsfähigere ersetzt.

Diese Diplomarbeit beschäftigt sich mit der Charakterisierung und Weiterentwicklung des CIPix, dem Auslesechip der neuen zentralen Proportionalkammer (central inner proportional chamber, CIP).

In Kapitel 1 wird der Speicherring HERA beschrieben und das H1-Experiment dargestellt.

In Kapitel 2 wird der Auslesechip der neuen CIP vorgestellt. Es werden die einzelnen Komponenten des CIPix in ihrer Funktionsweise erklärt.

In Kapitel 3 werden die verschiedenen Tests, die mit dem CIPix durchgeführt wurden - im Labor und an dem Prototypen der neuen CIP - beschrieben und die Ergebnisse präsentiert.

Im letzten Kapitel werden die wichtigsten Veränderungen und Weiterentwicklungen am CIPix dargestellt.

Im Anhang finden sich Datenblätter, das veränderte Padlayout des neuen Chips und ein Schaltplan für die externe Beschaltung des CIPix.

Kapitel 1

Das H1-Experiment

H1 ist eine internationale Kollaboration von etwa 400 Wissenschaftlern aus 11 verschiedenen Ländern, die an der Speicherringanlage HERA¹ Elektron-Proton-Streuprozesse untersucht. HERA wiederum ist ein Teil des Forschungszentrums DESY² in Hamburg. Seit 1992 ist in der Halle Nord (eine von vier Wechselwirkungszone für Kollisions- und Strahl-Target-Experimenten bei HERA) der H1-Detektor in Betrieb. Der in dieser Arbeit beschriebene ASIC³ *CIPix* dient zur Auslese der zentralen inneren Proportionalkammer (central inner proportional chamber, CIP) - einer Komponente des H1-Detektors. Im folgenden wird das Beschleunigersystem und die wichtigsten Komponenten des H1-Detektors sowie geplante Änderungen im Rahmen des H1-Upgrade Projekts beschrieben.

1.1 Der Speicherring HERA

Der Speicherring HERA besteht aus je einer Vakuumröhre für die Elektronen⁴ und Protonen samt den dazugehörigen supraleitenden Ablenkmagneten. Einen Überblick über die Anlage gibt Abbildung 1.1. Die gesamte Anordnung befindet sich in einem 6,3 km langen Tunnel unterhalb von Hamburg. Mit Hilfe eines Systems von Vor- und Linearbeschleunigern (PETRA II) werden die Elektronen (Positronen) und Protonen auf Energien von 12 bzw. 40 GeV [DESYa] beschleunigt und anschließend in den Speicherring eingespeist. Hier erreichen die Elementarteilchen ihre Sollenergien von 30 GeV bzw. 820 GeV [H1a]. Das ergibt im e-p-Schwerpunktsystem eine Gesamtenergie von 314 GeV. Der maximal erreichbare quadratische Viererimpulsübertrag beträgt $Q^2 \approx 10^5 \text{ GeV}^2$.

Die Elektronen und Protonen werden von starken Magnetfeldern auf ihren Bahnen gehalten. Typische Daten zur Energie, Magnetfeldstärke, Strahlstrom und Luminosität sind in Tabelle 1.1 angegeben [FE92]. Dabei ist Strahlstrom nicht als kontinuierlicher Strom zu verstehen. Die beiden Teilchenstrahlen bestehen aus einzelnen Teilchenpaketen, den sogenannten „bunches“. Jedes dieser Pakete enthält bis zu 10^{11} Teilchen, so daß die angegebenen Ströme zustande kommen. Der zeitliche Abstand zwischen zwei aufeinander treffenden Paketen („bunchcrossing“) beträgt 96 ns. Das entspricht einer Frequenz von 10,4 MHz. Diese sogenannten „HERA-Clock“ bestimmt die Datenrate aller Experimente am HERA und gibt für den *CIPix*

¹Hadron-Elektron-Ring Anlage

²Deutsches Elektronen-Synchrotron

³Application Specific Integrated Circuit

⁴Seit 1994 Positronen

	Elektronring	Protonring
Umfang	6336 m	
Energie	30 GeV	820 GeV
e-p-Schwerpunktsenergie	314 GeV	
magnetisches Ablenkefeld	0,165 T	4,65 T
Strahlstrom	58 mA	160 mA
Luminosität je Experiment	$1,5 \cdot 10^{31} \text{cm}^{-2} \text{s}^{-1}$	

Tabelle 1.1: HERA-Sollparameter

den Referenztakt an. Die Luminosität L ist die Kenngröße eines Beschleunigers. Sie wird in inversen Nanobarn (nb^{-1}) pro Sekunde angegeben und beschreibt wieviele Ereignisse n pro Sekunde für eine Reaktion mit dem Wirkungsquerschnitt σ erzeugt werden: $L = \frac{n}{\sigma}$. Sie wird bei HERA aus der für Bremsstrahlung, $ep \rightarrow ep\gamma$, gemessenen Ereignisrate und dem dafür bekannten Wirkungsquerschnitt bestimmt.

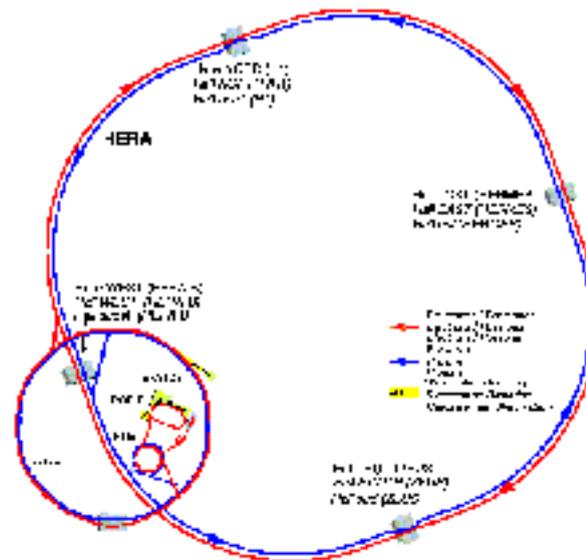


Abbildung 1.1: Der Speicherring HERA am DESY in Hamburg [DESYb].

An zwei der vier Wechselwirkungszone (Halle Nord/H1 und Süd/ZEUS) werden die bis hier getrennt geführten Teilchenstrahlen zur Kollision gebracht. In den beiden anderen Experimentierhallen (Halle West/HERA-B und Ost/HERMES) sind Strahl-Target-Experimente aufgebaut. Im wesentlichen beschäftigen sich die Experimente mit folgenden Fragestellungen [FE92]:

- Die Suche nach Substrukturen von Quarks und Leptonen.
- Die Q^2 -Entwicklung der Quarkverteilung im Nukleon bis zu sehr hohen Werten von Q^2 .

- Die Messung der Impulsverteilung von Quarks und Gluonen, die nur winzige Bruchteile x des Protonimpulses tragen (weiche Partonen).
- Die Untersuchung der hadronischen Struktur des Photons.
- Die Messung von Charm- und Bottom-Mesonen mit sehr hoher Statistik.

1.2 Der H1-Detektor

Der H1-Detektor ist ein 4π -Detektor, das heißt seine einzelnen Komponenten (Abbildung 1.3) umschließen die Wechselwirkungszone vollständig. Die Abmessungen des Detektors betragen $12\text{ m} \times 10\text{ m} \times 15\text{ m}$. Das Gesamtgewicht beträgt 2800 Tonnen. Durch die unterschiedlichen Energien der Elektronen und Protonen beim Aufprall verschiebt sich das Schwerpunktsystem gegenüber dem Laborsystem in Richtung der einlaufenden Protonen. Daraus resultiert der stark asymmetrische Aufbau des Detektors.

Der angenommene Wechselwirkungspunkt (Vertex) definiert den Ursprung des H1-Koordinatensystems. Darin zeigt die z -Achse in Richtung der Protonenflugbahn, die x -Achse zum Mittelpunkt des Beschleunigerrings und die y -Achse nach oben (siehe Abbildung 1.2). Innerhalb dieses Koordinatensystems bezeichnet man die Richtung der Elektronen als die

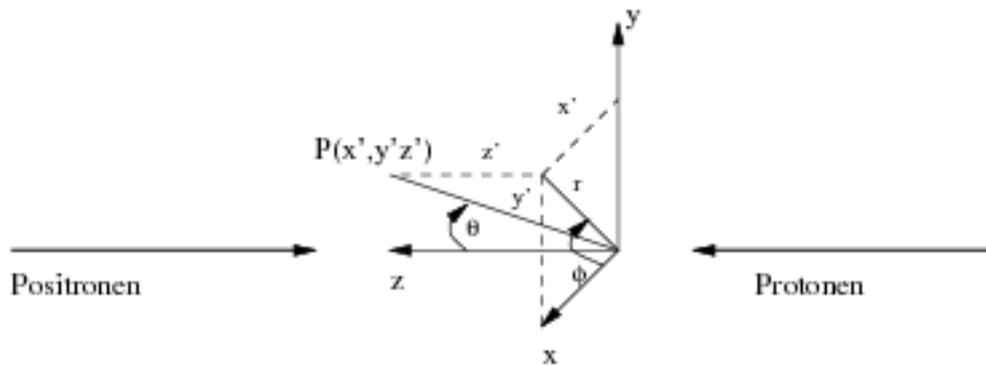
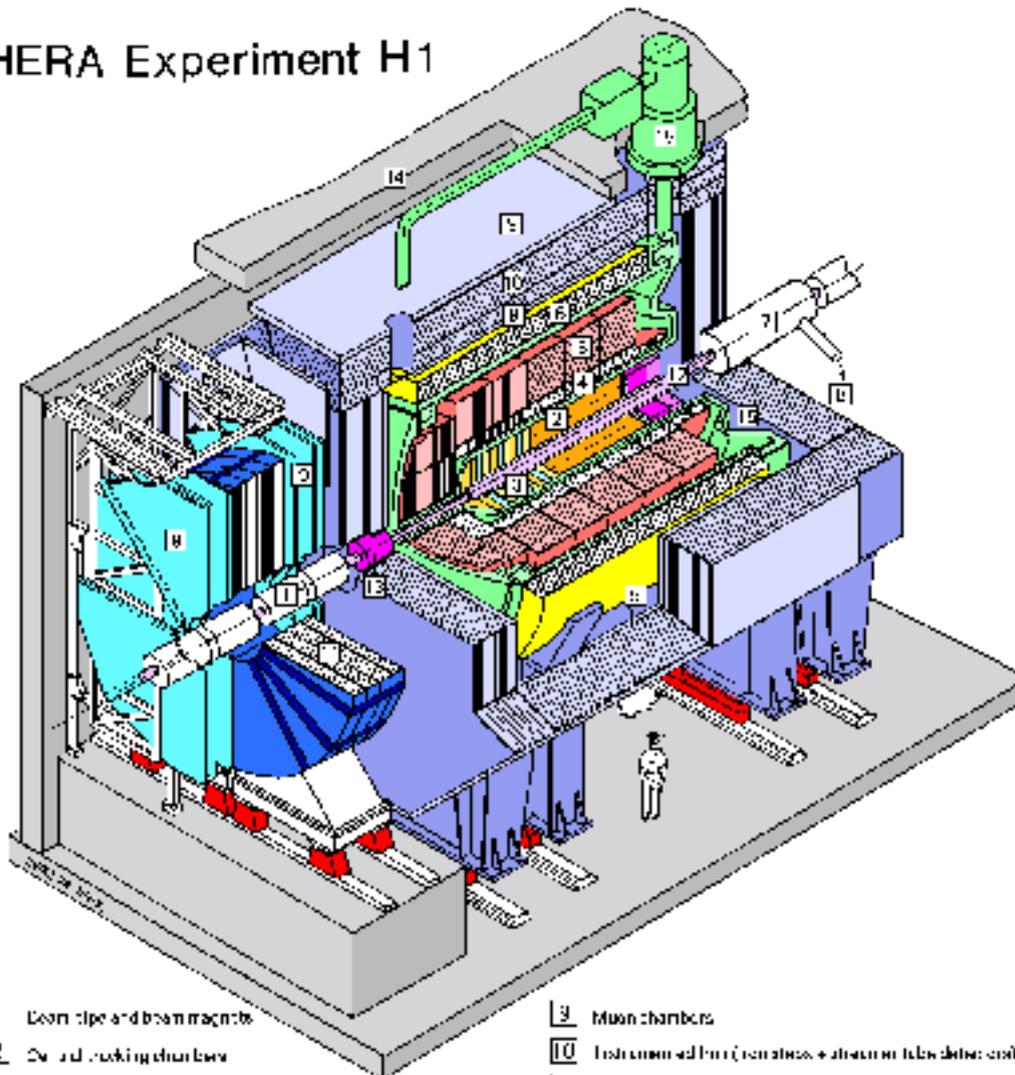


Abbildung 1.2: Das H1-Koordinatensystem

Rückwärtsrichtung (negatives z relativ zum Vertex und $\theta = \pi$). Die Protonenrichtung wird als Vorwärtsrichtung (positives z und $\theta = 0$) bezeichnet.

Vom Wechselwirkungspunkt nach außen ist der Detektor aus der Zentral- und Vorwärts-spurkammer (Ziffern 2 und 3 in Abb. 1.3) aufgebaut. Die Spurkammern bestehen aus verschiedenen Lagen von Drift- und Proportionalkammern. Um die Spurkammern (siehe auch Abbildung 1.4) herum befindet sich ein Kryostat (15), der das Flüssig-Argon Kalorimeter enthält. Es besteht aus einer elektromagnetischen (4) und hadronischen (5) Komponente aus Blei- bzw. Edelstahlabsorberplatten. Die supraleitende Spule (6) erzeugt ein zum Strahlrohr (1) paralleles $1,15\text{ T}$ starkes Magnetfeld, das zur Impulsbestimmung geladener Teilchen in den Spurkammern dient. Die Rückführung des magnetischen Flusses geschieht durch ein Eisenjoch, in das zusätzlich Myon-Kammern (9, 10) eingebaut sind. Der Kompensationsmagnet (7) verhindert, daß das Magnetfeld die Teilchenbahn im Strahlrohr beeinflusst. Die Lücken des Flüssig-Argon Kalorimeters in Vorwärts- und Rückwärtsrichtung werden von zwei weiteren Kalorimetern (12, 13) geschlossen. Den Abschluß bildet eine Betonabschirmung (14).

HERA Experiment H1



- | | | | |
|---|---|----|--|
| 1 | Beam pipe and beam magnets | 9 | Muon chambers |
| 2 | Drift and tracking chambers | 10 | Instrumented Pipe (crystal scintillator + straw tube detector) |
| 3 | Forward and backward Transition radiators | 11 | Mirror for old magnet |
| 4 | Electromagnetic Calorimeter (lead) | 12 | Warm water magnet coils |
| 5 | Acoustic Calorimeter (silicon steel) | 13 | Trigger system (C, S) |
| 6 | Superconducting magnet | 14 | Concrete shielding |
| 7 | Compensating magnet | 15 | Injection beam system |
| 8 | Helium cryogenics | | |

Abbildung 1.3: Schematische Ansicht des H1-Detektors [H1c].

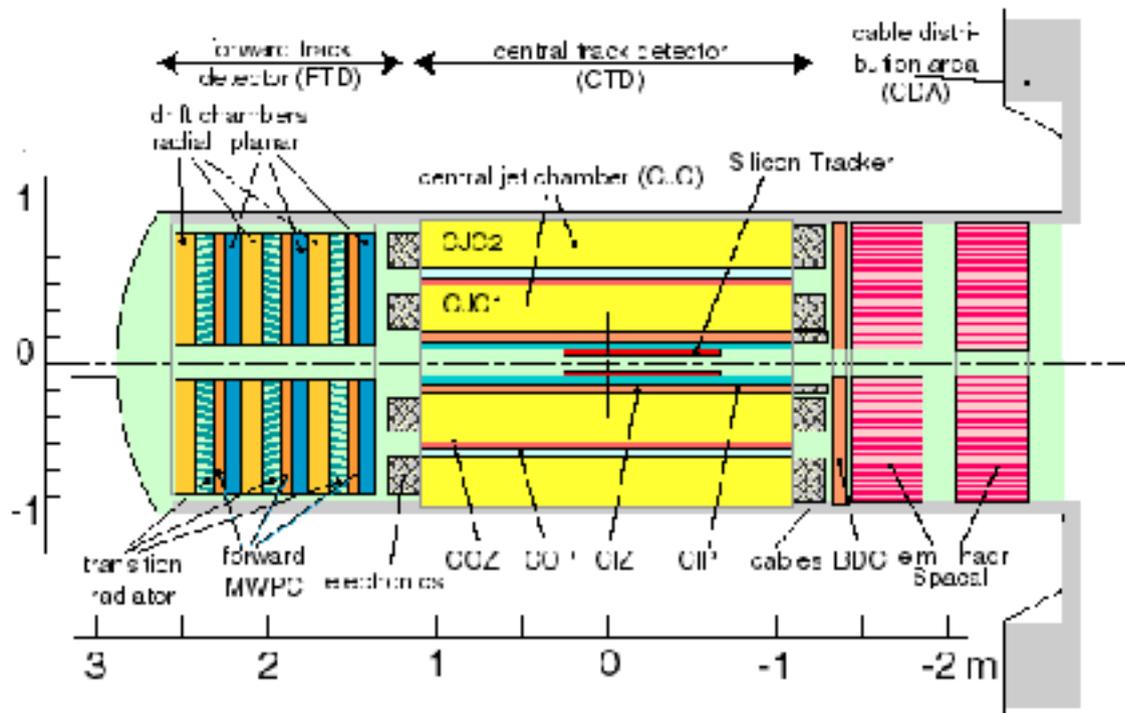


Abbildung 1.4: Seitliche Ansicht des inneren Spurkammersystems [H1c].

Um die physikalisch interessanten Prozesse von den weitaus überwiegenden Untergrundeignissen (Tabelle 1.2) zu trennen, werden sogenannte Trigger⁵ verwendet. Das Triggersystem (Abbildung 1.5) bei H1 besteht aus drei unabhängigen Stufen (L1, L2 und L4), die synchron zur Datennahme arbeiten. Den Triggerelementen der ersten Triggerstufe (L1) stehen unmittelbar nach der Wechselwirkung erste Informationen aus den einzelnen Detektorkomponenten zur Verfügung. Ein solches Triggerelement ist z.B. der z-Vertex Trigger: Die Informationen aus dem zentralen und Vorwärts-Spurkammersystem wird dazu verwendet die z-Koordinate des Vertex zu bestimmen. Liegt der Vertex innerhalb der erwarteten Wechselwirkungszone, wird die Datennahme gestoppt und die Triggerstufe L2 aktiviert. Nach einer positiven Entscheidung der Stufe L2 wird die zeitaufwendige Auslese des kompletten Detektors gestartet. Sämtliche zu einem Ereignis gehörenden Informationen werden der Triggerstufe L4 übergeben. Nach einer positiven Entscheidung von L4 werden die Detektordaten zur späteren Auswertung abgespeichert.

1.3 Das geplante H1-Upgrade

Um noch sensitiver auf Ereignisse außerhalb des Standardmodells zu werden, ist geplant die Luminosität L gegenüber den ursprünglichen Parametern um den Faktor 5 auf $L = 7.4 \cdot 10^{31} \frac{\text{cm}^2}{\text{s}}$ zu erhöhen. Dies wird durch einen höheren Protonenstrom und eine bessere Fokussierung der

⁵Trigger = Auslöser

⁶DIS, deep inelastic scattering

Physikalischer Prozess	Wirkungsquerschnitt	Ereignisrate
Strahl-Restgas-Wechselwirkung		50.000 s^{-1}
Kosmisches μ im Barrel		700 s^{-1}
Photoproduktion	$1,6 \mu\text{b}$	25 s^{-1}
$c\bar{c}$ total	$1 \mu\text{b}$	15 s^{-1}
DIS ^s , kleines Q^2	150 nb	$2,2 \text{ s}^{-1}$
DIS, hohes Q^2	$1,5 \text{ nb}$	$1,4 \text{ min}^{-1}$
DIS mit geladenem Strom, $p_T > 25 \text{ GeV}$	50 pb	$3,0 \text{ h}^{-1}$
W^\pm -Produktion	$0,4 \text{ pb}$	$0,5 \text{ d}^{-1}$

Tabelle 1.2: Physikalische Prozesse bei HERA [H1c]

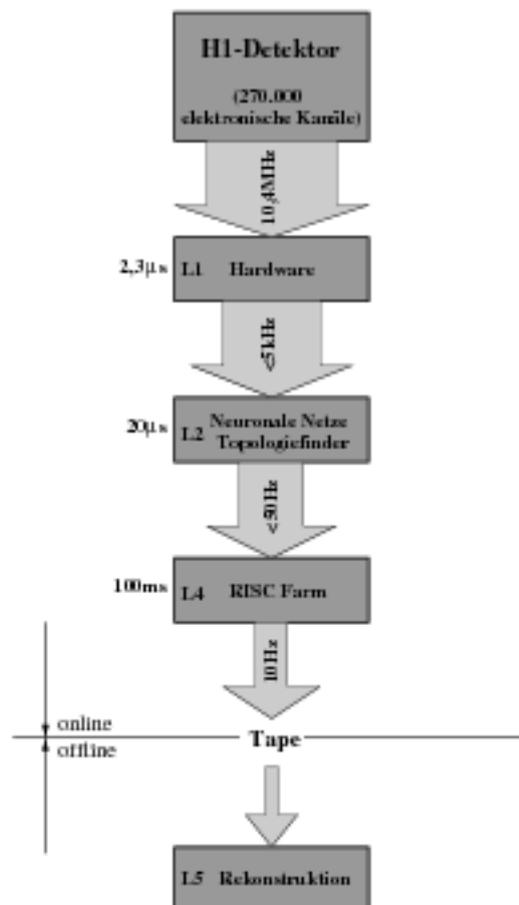


Abbildung 1.5: Das H1-Triggersystem [NIC96]

beiden Strahlen im Wechselwirkungspunkt erreicht. Dazu müssen u.a. zwei supraleitende Magnete innerhalb des H1-Detektors Platz finden, was Veränderungen an einzelnen Detektor-komponenten nach sich zieht [H1b]:

- **Backward Silicon Tracker BST**

Wie ursprünglich geplant, aber zunächst zurückgestellt, wird der BST mit acht weiteren ϕ -Detektoren ausgestattet.

- **Forward Track Detector FTD**

Die neue CIP wird zukünftig auch Spuren im Vorwärtsbereich triggern können. Deshalb kann auf die Vieldrahtproportionalkammern im FTD verzichtet werden. An ihrer Stelle werden drei zusätzliche planare Driftkammern eingebaut.

- **Zentrale Spurkammern und Triggersystem**

Durch die höheren Elektronen- und Protonenströme wird sich die Ladungsdeposition und die Anzahl mehrdeutiger Treffer an den einzelnen Drähten der CIP erhöhen. Die alte zweilagige CIP wird gegen eine neue fünf-lagige mit der doppelten Anzahl Pads in z-Richtung ausgetauscht. Dadurch erreicht man vor allem eine Verbesserung der z-Vertex-Information und eine bessere Akzeptanz des z-Vertex Triggers für flache Spuren.

Kapitel 2

CIPix, der CIP-Auslese-ASIC

Die alte CIP wird mit konventioneller, das heißt nicht integrierter Elektronik ausgelesen. Das ist bei der neuen Kammer wegen der verzehnfachten Anzahl an zu bearbeitenden Kanälen schon aus Platzgründen nicht möglich. Deshalb entwickelten Sven Löchner und Daniel Baumeister im Rahmen des H1-Upgrade Projektes den CIP-Auslese ASIC *CIPix* [DB98]. Die Verstärkerelektronik des CIPix konnte zum größten Teil vom Helix128-2.2 [ES97], ebenfalls ein selbstentwickelter und inzwischen in der Massenproduktion stehender ASIC, übernommen werden.

Der CIPix wurde im $0,8\ \mu\text{m}$ CMOS¹-Prozeß von Der Firma *Austria Micro Systems* gefertigt. Seine Komponenten sind in Abbildung 2.1 als Blockschaltbild dargestellt und werden im folgenden kurz erläutert. Eine detaillierte Beschreibung des CIPix findet sich in [SL98] und [DB99].

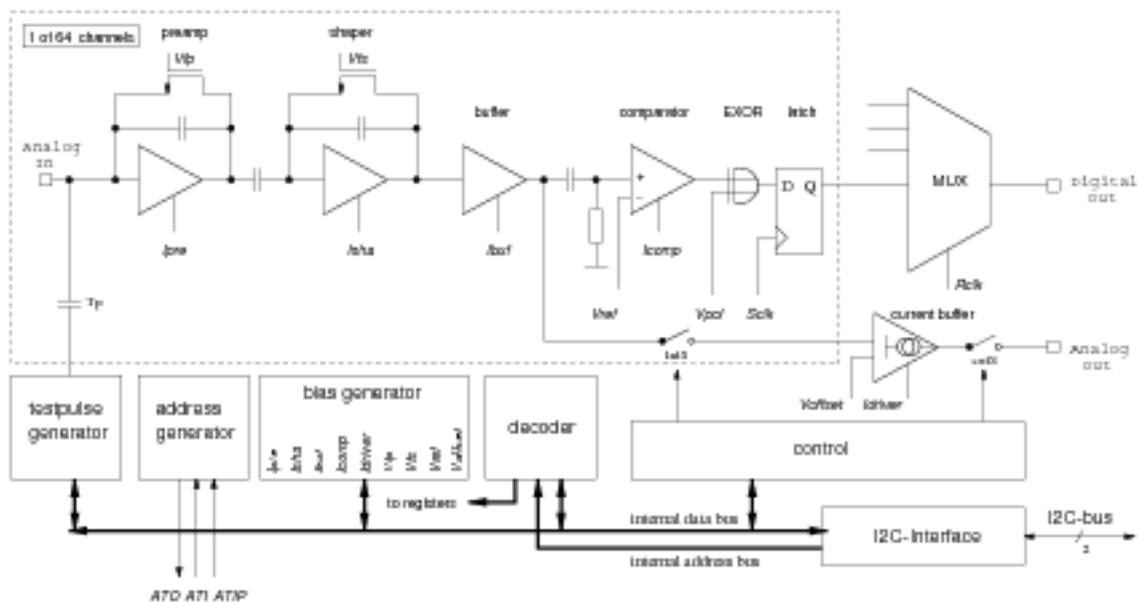


Abbildung 2.1: Blockdiagramm des CIPix1.0.

¹ Complementary Metal-Oxid-Semiconductor

2.1 Frontend

Der CIPix besitzt 64 Kanäle, die je aus einem ladungsempfindlichen rauscharmen Vorverstärker, einem Pulsformer und einer Treiberstufe aufgebaut sind.

Vorverstärker

Eine in einen Kanal eingekoppelte Ladung wird durch den Vorverstärker und der Rückkoppelkapazität zunächst invertierend integriert. Die Biasspannung V_{fp} steuert die Größe des Entladungswiderstandes der Rückkoppelkapazität. Dieser Widerstand verhindert, daß der Verstärker in Sättigung gerät. Der Biasstrom I_{pre} bestimmt die Anstiegsgeschwindigkeit des Signals am Ausgang des Verstärkers.

Pulsformer

Nach der Differentiation durch die anschließende Kapazität wird das Signal im Pulsformer wieder invertierend verstärkt. Man erhält ein semigaußförmiges Signal mit einer Amplitude proportional zur eingekoppelten Ladung. Mit der Biasspannung V_{fs} des Rückkoppelwiderstandes lässt sich die Zeitkonstante des Pulsformers variieren. Wie beim Vorverstärker kann mit dem Biasstrom I_{sha} die Anstiegszeit und damit die Amplitude des Ausgangssignals vergrößert werden.

Treiberstufe

Die anschließende Treiberstufe macht aus dem hochohmigen Ausgangssignal des Pulsformers ein niederohmiges. Der Arbeitsstrom I_{buf} hat keinen Einfluß auf die Pulsform.

Vorverstärker-Biasspannung	V_{fp}	0,2 V
Vorverstärker-Biasstrom	I_{pre}	200 μ A
Pulsformer-Biasspannung	V_{fs}	1,0 V
Pulsformer-Biasstrom	I_{sha}	100 μ A
Treiber-Biasstrom	I_{buf}	100 μ A

Tabelle 2.1: Typische Werte für den Vorverstärker

2.2 Komparator

Der Komparator hat die Aufgabe die Ausgangssignale des Frontends mit einer frei einstellbaren Referenzspannung V_{ref} zu vergleichen und ein digitales Signal zu erzeugen. Um eventuelle Spannungsoffsets einzelner Kanäle zu beseitigen befindet sich zwischen Frontend und Komparator eine AC-Kopplung. Da der CIPix sowohl zum Auslesen von Kathoden- als auch Anodensignalen verwendet wird, besteht die Möglichkeit das digitale Signal des Komparators mittels dem Steuerpegel V_{pol} exklusiv zu verodern. Damit wird erreicht, daß bei beiden Signalpolaritäten jeweils beim Überschreiten der Referenzspannung eine logische Eins ausgegeben wird. Das anschließende D-Flip-Flop dient zur Synchronisation der Komparatorsignale mit der Sampling-Clock ($Sclk$).

2.3 Multiplexer

Mit dem Multiplexer werden die digitalen Signale von jeweils vier einzelnen Kanälen auf einem einzigen Kanal zusammengefasst und hintereinander ausgegeben. Dadurch wird die Anzahl der Ausgänge des CIPix gegenüber den Eingängen von 64 auf 16 reduziert. Neben der Sclk (10,4 Mhz) benötigt der Multiplexer noch die sogenannte Readout-Clock (Rclk) mit der vierfachen Frequenz (41,6 Mhz). In Abbildung 2.1 nicht dargestellt ist EmptyDataSet, ein weiteres vom Multiplexer generiertes Signal. EmptyDataSet ist eine ODER-Verknüpfung von allen 64 Komparatorausgängen. Es zeigt allen in der Auslekette folgenden Komponenten an, ob überhaupt in einem Kanal die Komparatorschwelle überschritten wurde.

2.4 Analoger Ausgang

Zu Testzwecken kann über das Register *AnalogOut* einer der 64 Kanäle ausgewählt und das Ausgangssignal des Frontends über einen Stromtreiber ausgegeben werden. Da die analogen Ausgänge mehrerer Chips über ein gemeinsames Kabel ausgelesen werden, ist es - um Kollisionen zu vermeiden - möglich den analogen Ausgang abzuschalten.

2.5 Biasgeneratoren

Der CIPix benötigt für Frontend, Komparator und analoger Ausgabe insgesamt fünf verschiedenen Ströme bzw. vier verschiedene Spannungen. Dazu sind in den CIPix die entsprechende Anzahl an Strom- und Spannungsquellen eingebaut. Zu jeder gehört eine Kombination aus 8-Bit Register und DAC². Die DACs der Stromquellen sind so konzipiert, daß sie einen Strom von $2,5 \mu\text{A}$ pro LSB³ liefern (0 A bei einem mit Null beschriebenen Register). Der programmierbare Bereich der DACs zu den Spannungsquellen erstreckt sich von -2 V bis +2 V, also 15,625 mV/LSB (der Registerwert 0 entspricht -2 V). Eine Besonderheit stellt die Referenzspannung des Komparators dar. 15,625mV/LSB ist als Auflösung für eine Komparatorschwelle zu grob. Deshalb ist für Vref zusätzlich ein 10:1 Spannungsteiler eingebaut.

2.6 Adressgenerator

Um im zukünftigen Masseneinsatz jeden Chip einzeln programmieren zu können, benötigt jeder CIPix eine eindeutige Adresse. Diese Adressen vergeben sich die CIPixe selber. Das Prinzip ist in Abbildung 2.2 dargestellt, es beruht darauf, daß die Chips nach einem Reset die positiven Flanken eines externen Taktes zählen. Der Zähler eines Chips stoppt, wenn er vom vorhergehenden Chip der Adressierungskette ein Signal, ein sogenanntes Token, erhält. Der aktuelle Zählerstand wird zur Chipadresse und der nun adressierte Chip schickt seinerseits das Token an den nächsten Chip in der Kette weiter. Um gegenüber dem Defekt eines Chips abgesichert zu sein, besitzt jeder CIPix zwei Eingänge für das Adresstoken. Der zweite Eingang (mit einer internen Verzögerung um einen Takt) erhält das Token vom vorletzten Chip der Kette. Erst wenn zwei benachbarte Chips ausfallen bricht die Adressvergabe ab.

²Digital to Analog Converter

³Least Significant Bit

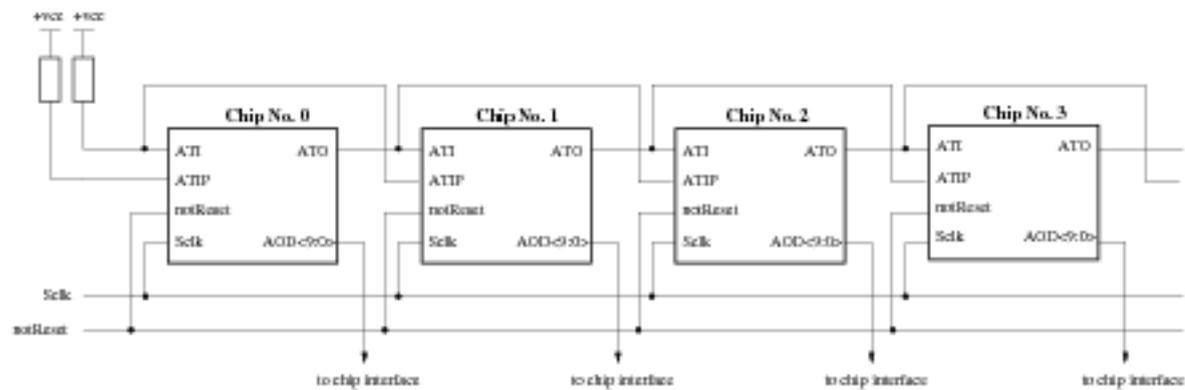


Abbildung 2.2: Schematische Darstellung der Adressierungskette.

2.7 I²C-Interface

Das Programmieren und Auslesen der internen Register geschieht per I²C-Bus Interface [I²C95]. Der I²C-Bus ist ein bidirektionaler Bus mit zwei Datenleitungen: Serial Data (SDA) und Serial Clock (SCL). Auf dem Bus werden die Daten synchron zu SCL übertragen. Das I²C-Interface auf dem CIPix konvertiert beim Empfangen die seriellen Daten in das interne parallele Daten- und Adressformat. Umgekehrt konvertiert es beim Senden die Daten aus dem CIPix in das serielle Format. Ein Datentransfer beinhaltet folgende Schritte (siehe Abbildung 2.3):

- Startbedingung: ein Übergang von High nach Low auf der Datenleitung während die Clockleitung High bleibt.
- Addressierung: die ersten sieben Bit der Übertragung beinhalten die Zieladresse, das achte Bit des ersten Bytes ist das Richtungsbit (0: Schreiben, 1: Lesen).
- Acknowledge: der Empfänger zieht die Datenleitung nach Low, der Sender lässt die Leitung frei.
- Datentransfer: jedes Datenpaket ist 8 Bits lang und wird von einem Acknowledge gefolgt.
- Stopbedingung: ein Übergang von Low nach High auf der Datenleitung während die Clockleitung High ist.

2.8 Testpulsgenerator

Der Testpulsgenerator bietet die Möglichkeit, die analoge Kette des CIPix zu testen. Über eine Kapazität auf dem Chip wird ein Ladungsimpuls in den Vorverstärker eingekoppelt. Je nach Kanal werden $\pm 10^5$ bzw. $\pm 10^4$ Elektronen eingekoppelt. Über das Register TpReg können verschiedene Arten der Testpulseinspeisung ausgewählt werden. Zum einen kann entweder auf alle Kanäle gleichzeitig oder nur auf die Kanäle 0, 21, 42 und 63 eingekoppelt werden, zum anderen ist es möglich die Einkopplung extern flankengetriggert auszulösen, oder den Generator periodisch zum Takt der Sclk einkoppeln zu lassen.

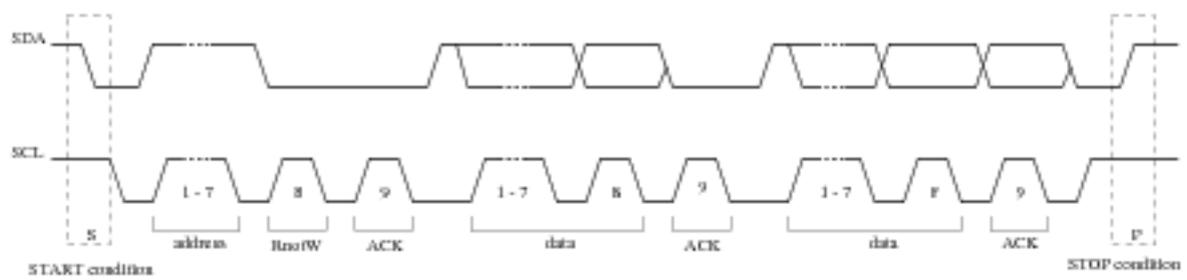


Abbildung 2.3: Schema eines kompletten Datentransfers [I²C95].

Kapitel 3

CIPix-Tests

3.1 Vorbereitungen

3.1.1 Tests mit der Nadelkarte

Um die Chips vor ihrem Einbau auf Defekte testen zu können wurde eine von der Firma Wentworth gefertigte Nadelkarte gekauft. Unter dem Mikroskop des Waferprobers kann die Nadelkarte so auf den Chips platziert werden, daß man über die Anschlüsse der Nadelkarte den CIPix in Betrieb nehmen und die Funktionalität überprüfen kann. Es hat sich am praktikabelsten erwiesen, als Funktionstest das Testpulsregister TpReg so zu programmieren, daß auf allen Kanälen ein Testpuls eingekoppelt wird. Über den analogen Ausgang kann jetzt jeder einzelne Kanal überprüft werden. Außerdem kann man damit gleichzeitig die Funktionalität des Adressengenerators, des kompletten I²C-Interfaces und der Komparatoren überprüfen.

3.1.2 Bestückung der CIP-Auslesekarte

Die Tests wurden anfänglich mit einem CIPix in einem 84-poligen Chipgehäuse (CLC84) auf einer Lochrasterplatine durchgeführt. Die Platine stellte nur die externe Beschaltung (siehe Abbildung C) und die wichtigsten Anschlüsse zum Betrieb des CIPix zur Verfügung. Seit die erste Version der CIP-Auslesekarte vorhanden ist, werden die Tests damit weitergeführt.

Auf einer Auslesekarte sind jeweils zwei CIPixe (je einer auf Ober- und Unterseite) angebracht. Nach dem Aufkleben der Chips (Silberleitkleber H20E der Firma Polytec¹, siehe Datenblatt A.4) werden diese gebondet und zum Schutz vor mechanischen Schäden mit Glob-Top vergossen (Glob-Top EPO-TEK 87-GT ebenfalls der Firma Polytec, siehe Datenblatt A.3).

3.1.3 Programm zum Ansteuern des CIPix

Der I²C-Adapter PICA93LV [CAL98a] der Firma Calibre² bietet die Möglichkeit einen I²C-Bus kompatiblen Baustein per Computer anzusteuern. Der Adapter wird mit der parallelen Computerschnittstelle (Druckerschnittstelle) auf der einen Seite und dem I²C-Baustein auf der anderen Seite verbunden. Die mitgelieferten C++-Routinen [CAL98b] stellen alle Funktionen für einen Datentransfer per I²C-Protokoll zur Verfügung. Das selbstgeschriebene Labview³-

¹<http://www.polytec.de>

²<http://www.calibreuk.com>

³<http://www.natinst.com>

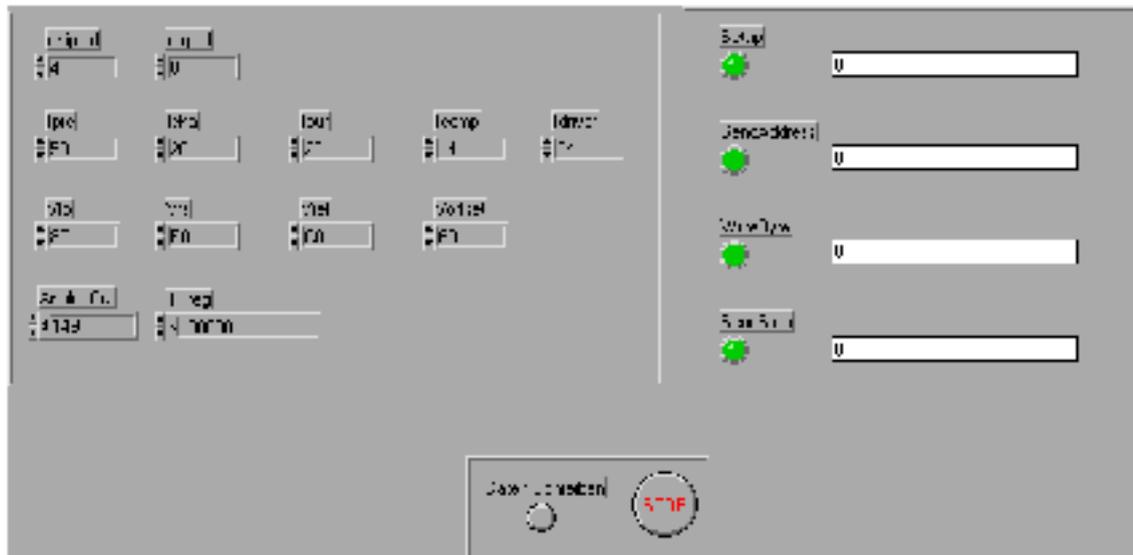


Abbildung 3.1: Programm zum beschreiben der CIPIX Register.

Programm (Abbildung 3.1) kombiniert eine einfach zu bedienende graphische Oberfläche mit der reinen Funktionalität der C++-Routinen. Eine zweite, etwas ausgefeiltere Version des Programms bietet die Möglichkeit einen oder mehrere Registerwerte des CIPIX über einen vorher bestimmten Bereich zu verändern. Gleichzeitig steuert das Programm einen Pattern-Generator (DG2020A von Tektronix) und ein Oszilloskop per GPIB an. Damit ist es z.B. möglich Thresholdscans an den CIPIX-Komparatoren durchzuführen.

3.2 Tests im Labor

Einen schematischen Überblick über den Versuchsaufbau gibt Abbildung 3.2:

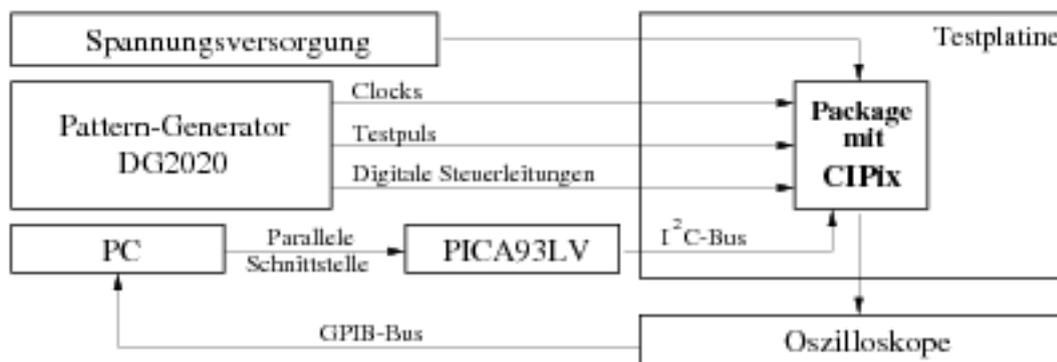


Abbildung 3.2: Schematischer Überblick über den Meßaufbau.

Um Ladungspulse von außen auf den CIPIX einzukoppeln benötigt man noch eine handhabbare Einkoppelschaltung (siehe Abbildung 3.3). Bei einem Spannungssprung U am Ein-

gang der Schaltung wird insgesamt die Ladung $Q = \frac{25 \cdot U}{5050} \cdot 1,6 \cdot 10^{-12} \text{ C}$ auf denn CIPix eingekoppelt.

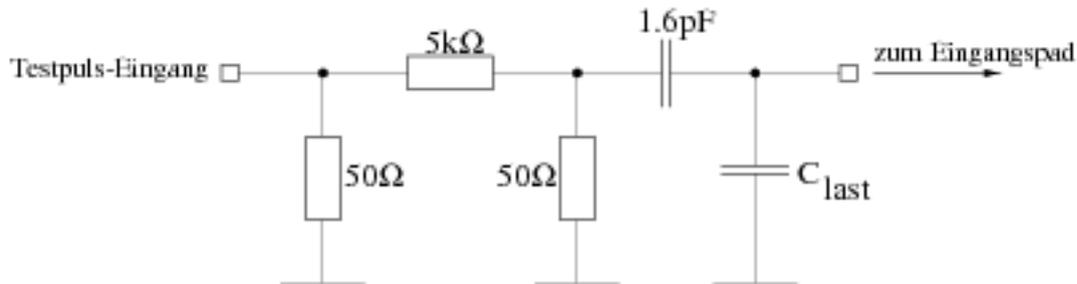


Abbildung 3.3: Schematische Einkoppelschaltung.

3.2.1 Stromaufnahme des CIPix

Die Messung der Stromaufnahme wurde direkt an den Zuleitungen zum der Stromversorgung durchgeführt. Sowohl S- als auch Rclk liegen am Chip an, auf den Kanal 21 werden während der Messung Ladungspulse eingekoppelt. Die Bestimmung der Stromaufnahme zweier CIPixe

+2 V	22,4 mA
Gnd	-17,4 mA
-2 V	41,3 mA
+3,3 V	5,5 mA

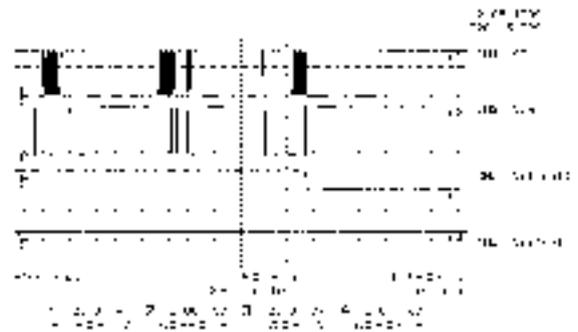
Tabelle 3.1: CIPix Stromaufnahme

auf der CIP-Auslesekarte ergab doppelt so große Werte.

3.2.2 Adressvergabe

Nach einem Reset kommt das Token des ersten Chips wie erwartet (an diesem Chip liegen beide Adresstokens schon während des Resets an) mit der nächsten steigenden Sclk-Flanke. Das Token des zweiten Chips kommt zu fröh. Das läßt sich in diesem Fall auf Peaks der Sclk zurückführen, die vom CIPix als nächste steigende Sclk-Flanke interpretiert werden. In Abbildung 3.4 ist Kanal 1: Sclk; Kanal 2: notReset; Kanal 3: ATO (Chip A); Kanal 4: ATO (Chip B)

Aufgrund eines Fehlers innerhalb des Digitalteils ist die erste Adresse, die vergeben wird eine Null. Das behindert zwar die Programmierung des ersten Chips innerhalb einer Adressierungskette nicht, hat aber den Nachteil, daß das I²C-Interface die Adressierung mit einer Null als General-Call-Adressierung auffasst. Das heißt alle Chips werden mit den selben Werten programmiert. Beim CIPix1.1 wird dieser Fehler behoben sein: der erste Chip einer Kette adressiert sich mit einer Eins - die Null bleibt alleine dem General Call vorbehalten.

Abbildung 3.6: I²C-Programmierssequenz.

Man erhält den erwarteten linearen Zusammenhang zwischen eingekoppelter Ladung und der Amplitude nach dem Frontend (siehe Abbildung 3.7).



Abbildung 3.7: Linearität des Frontends.

3.2.5 Verhalten des Frontends bei Lastkapazität

Pulsformmessungen am Helix2.0 [PAD98] zeigen, daß sich mit größer werdender Lastkapazität der Zeitpunkt der maximalen Signalhöhe (Peakttime) verzögert und zum anderen die Signalamplitude mit steigender Lastkapazität abnimmt. Die Abbildungen 3.8 und 3.9 zeigen das Verhalten von Peakttime und Amplitude des Cipix bei zunehmender Lastkapazität am Eingang (eingekoppelt werden jeweils ca. 130.000 Elektronen).

3.3 Tests am CIP-Prototypen

3.3.1 Sättigung des Frontends

Die ersten Aufnahmen von Kammerpulsen zeigen, daß im CIPix entweder Frontend oder der Stromtreiber des analogen Ausgangs bei großen Signalen in Sättigung geraten (Abbil-

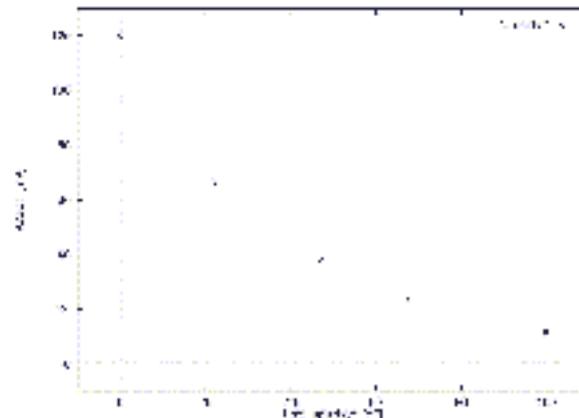


Abbildung 3.8: Gain in Abhängigkeit von der Lastkapazität.

dung 3.11): Auf Kanal 2 ist das Koinzidenztriggersignal zu sehen und auf Kanal 4 sind einige Pulse von Pad SR3 dargestellt (Infinite Persistence Mode; Ruthenium Quelle, Dauer der Aufnahme ca. 1 Minute). Wenn der Stromtreiber die Signalhöhe begrenzt, dann sollte sich die Anzahl der in Sättigung geratenen Signale mit dem Abschlußwiderstand am analogen Ausgang verändern. Die nächste Abbildung zeigt exemplarisch ein Pulshöhenspektrum am Kammerpad SR3 und 50Ω als Abschlußwiderstand: Als Anhaltspunkt für die wahrscheinlichste Pulshöhe ist über einen Ausschnitt des Spektrums eine Parabel gefittet - der Wert X_0 ist das Maximum der Parabel. Bei anderen Abschlußwiderständen verschiebt sich der Wert dieses Maximums. Vom Abschlußwiderstand unabhängig ist jedoch, daß immer ca. 4% der aufgenommenen Pulse in Sättigung geraten. Der Stromtreiber am analogen Ausgang scheint also nicht für die begrenzten Pulshöhen am analogen Ausgang verantwortlich zu sein.

3.3.2 Padposition und Pulshöhenspektren

Für die Pads SR3, SR7, SR15, SL3 und SL17 sind die Pulshöhenspektren aufgenommen sowie Delay und Risetime bestimmt worden. Delay gibt die Zeitdifferenz zwischen 50% des Signals am analogen Ausgang und dem Koinzidenztrigger an. Risetime bezieht sich auf 10% bzw. 90% des Ausgangssignals. Exemplarisch sind die Spektren für das Pad SL17 dargestellt. Die Ergebnisse für die anderen Pads sind in der folgenden Tabelle aufgelistet. Der wahrscheinlichste Wert für die Pulshöhe ist wieder mit Hilfe eines Parabelfits bestimmt worden, die Werte für Delay und Risetime mit Hilfe eines Gauß-Fits.

Pad	X_0 Pulshöhe	X_0 Delay; Sigma	X_0 Risetime, Sigma
SR3	207mV	18ns; 10ns	53ns; 9ns
SR7	199mV	19ns; 9ns	53ns; 8ns
SR15	327mV	17ns; 10ns	54ns; 8ns
SL3	370mV	16ns; 9ns	55ns; 8ns
SL17	202mV	17ns; 10ns	56ns; 9ns

Tabelle 3.2: Pulshöhe, Delay und Risetime

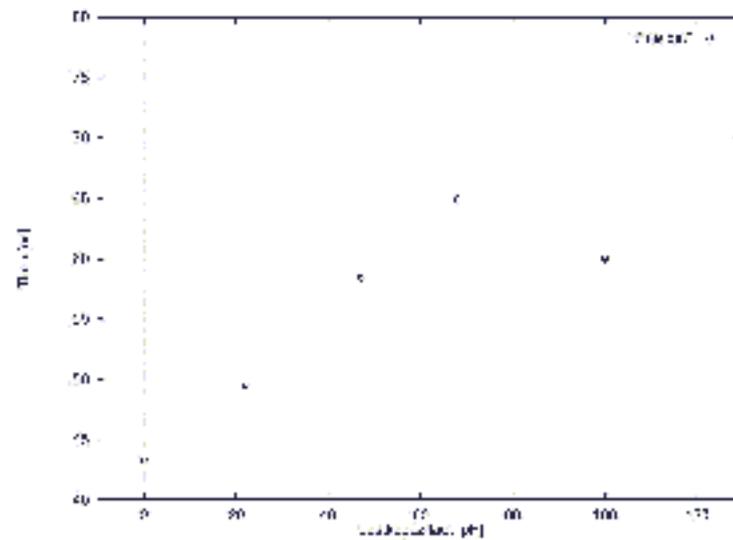


Abbildung 3.9: Peaktime in Abhängigkeit von der Lastkapazität.

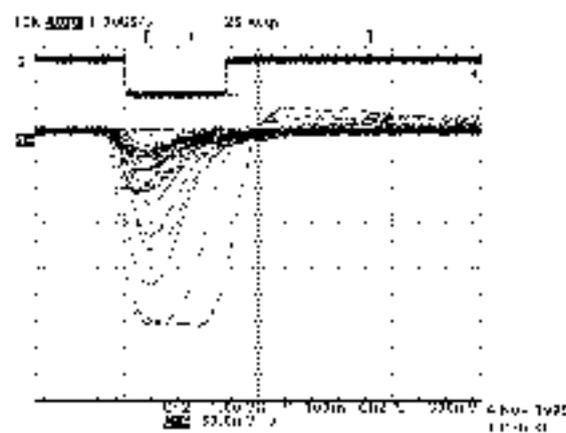


Abbildung 3.10: Sättigung bei großen Signalen.

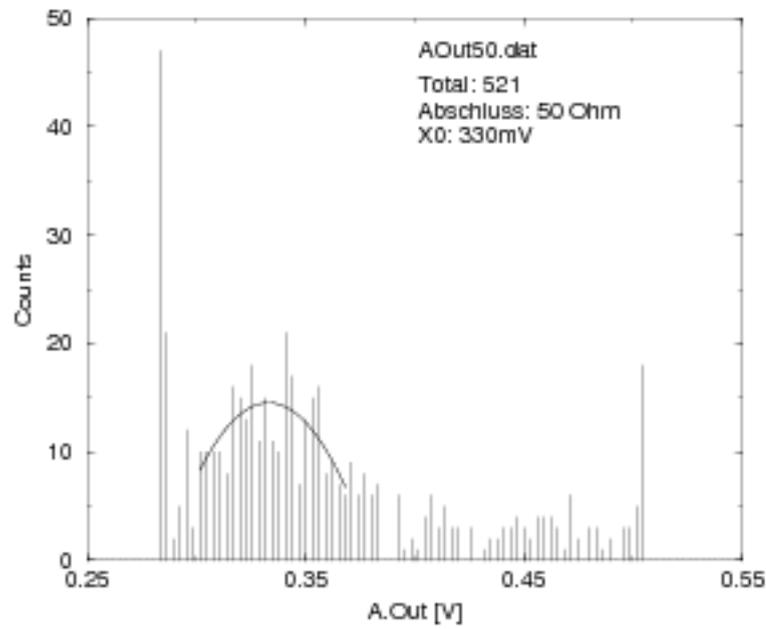


Abbildung 3.11: .

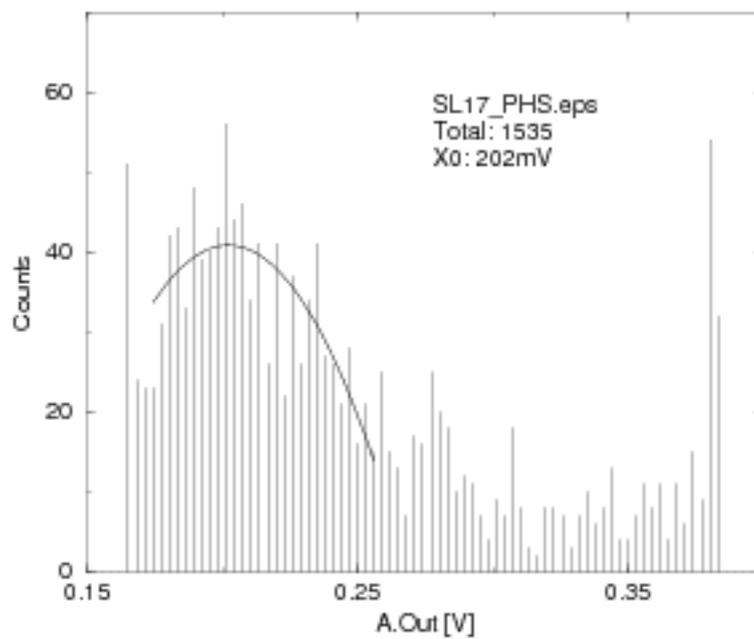


Abbildung 3.12: Pulshöhenspektrum.

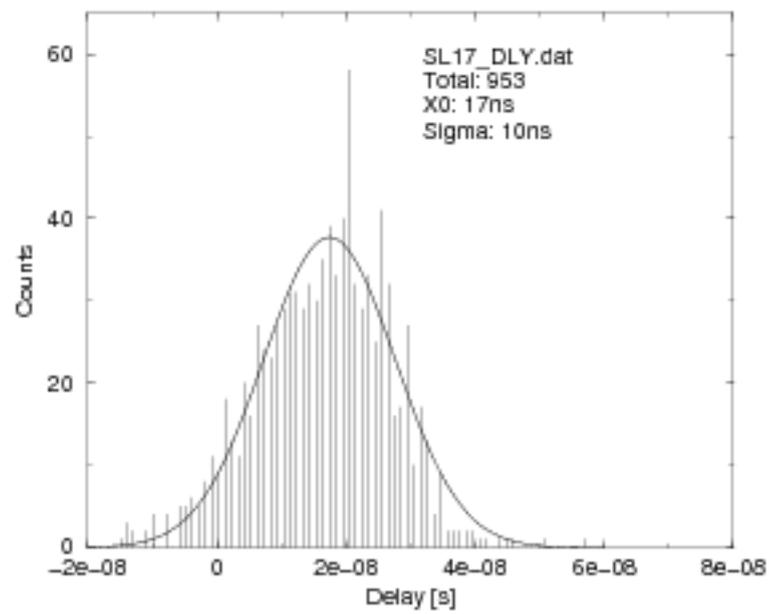


Abbildung 3.13: Delaytime.

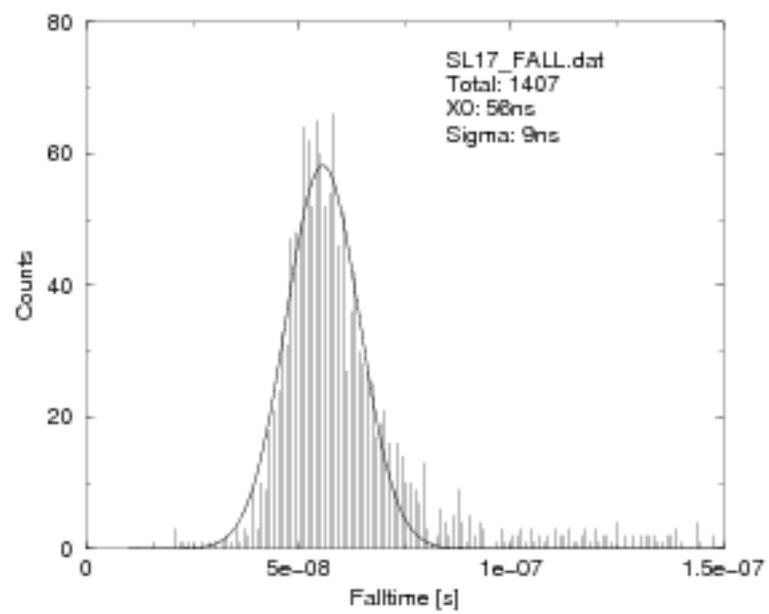


Abbildung 3.14: Falltime.

Kapitel 4

Der neue CIPix

Insgesamt sind am CIPix folgende Änderungen vorgenommen worden:

- Die Reihenfolge der gemultiplexten Kanäle wurde neu geordnet. Zum Beispiel liegen jetzt am digitalen Ausgang < 0 > die vier Eingangskanäle 0,1,2 und 3 an (nicht wie bisher 0, 16, 32 und 48).
- Eine zusätzliche Komparatorschwelle wurde eingebaut. Das bedingte auch den Einbau einer weiteren Spannungsquelle.
- Das Resetsignal notReset liegt jetzt an allen Registern an, damit werden undefinierte Zustände beim Einschalten vermieden.
- Ein neues Ausgangssignal FirstWord wurde eingebaut, es dient zur Synchronisation der nachfolgenden Komponenten mit den digitalen Ausgängen.
- Die Padreihenfolge auf der rechten Seite hat sich dahingehend geändert, daß sensitive Pads besser von den Clockpads getrennt wurden.
- Das Pause-Pad ist entfernt worden, da dieses I²C-Feature nicht benötigt wird.
- Die Corepads sind entfernt worden.
- Der Adressgenerator vergibt jetzt als erste Adresse eine Eins.
- Die CIPix Adressen sind jetzt ausschließlich 10bit groß.
- Der Fehler im I²C-Interface, der bisher das Auslesen der Register verhindert hat ist behoben.

Kapitel 5

Zusammenfassung

Das Thema der Arbeit war die Charakterisierung und Weiterentwicklung des CIPix, der im Rahmen des H1-Upgrade-Projekts die neue CIP auslesen wird.

Bei den Tests im ASIC-Labor zeigte sich, daß der CIPix bis auf kleinere Fehler, etwa daß einzelne Register nicht zurückgelesen werden konnten oder die Adressvergabe mit Null statt mit Eins begonnen hat, gemäß den Spezifikationen arbeitet. Diese Dinge konnten alle behoben werden. Zusätzlich wurden noch einige Verbesserungen eingebaut, etwa die zweite Komparatorschwelle und überflüssige Strukturen - die Corepads, das Pausepad - wurden entfernt.

Die Tests an dem Prototypen der neuen CIP verliefen zuerst nicht zufriedenstellend. Es hat fast zwei Wochen gedauert bis überhaupt ein Kammersignal gesehen wurde. Für die eigentlich geplanten Tests war dann leider keine Zeit mehr.

Die Weiterentwicklung des CIPix hat sich hauptsächlich auf den Digitalteil und das I²C-Interface beschränkt - auch hier hat zum Schluß die Zeit für mehr gefehlt.

Der CIPix1.1 wird in den kommenden Wochen submitiert werden. Die reine Funktionalität ist bestimmt sichergestellt - bestimmt gibt es aber noch einige Punkte die optimiert werden können.

Anhang A

Technische Daten

Datenblatt
Data Pattern Generator DG 2020A

Output Data	
Data Rate	0.1 bps to 200 Mbps
Pattern Depth	64 k/ch
Rise & Fall Time (20% to 80%)	2 ns
No. of Channels	20, 24 or 36
Sampling Rate	0.1 Hz to 200 MHz
Resolution	4 Digits
Clock Period Jitter	≤ 50 ps p-p at 200 MHz Typical
Accuracy	PLL On, $\pm 0.005\%$; PLL Off, $\pm 3\%$
Data Depth	64 to 64 kbits (1 increment)
Data Width	Standard: 12-Bits Optional: 24- or 36-Bits
Resolution	4 Digits
Sequencer	
Maximum Number of Blocks	256
Max Number of Sequence Steps	2048
Blocks Repeats per Line	1 to 65535 or infinite
Auxiliary Inputs	
Clock	Rear-panel SMB connector Frequency: DC to 200 MHz
Impedance	50 Ω , terminated to +0.5 V
Delay Clock Out	36 ns (typical)
Trigger	Front-panel BNC connector
Level	-5.0 V to +5.0 V
Resolution	0.1 V
Threshold accuracy	\pm (5% of setting) ± 0.1 V
Minimum Pulse Width	≥ 10 ns
Impedance	1k Ω or 50 Ω
Sensitivity	0.5V _{p-p}
Maximum Input	± 10 V into 1 k Ω , ± 5 V into 50 Ω
Hold Off	500 ns minimum
Auxiliary Outputs	
Sync	Front-panel BNC connector
Level	V _{OH} , 2.5 V into 50 Ω ; V _{OL} , 0 V into 50 Ω
Pulse Width	6 clocks
Impedance	50 Ω
Event	Front-panel BNC connector
Level	Positive TTL pulse, 50 Ω
Output Term	8 clocks
Delay Time	22 clocks before data output change
Impedance	50 Ω
Clock	Rear-panel SMB connector
Level	1 V (typical) into 50 Ω
Programmable Interface	
GPIB	ANSI/IEEE 488.2 – 1987
RS-232C	19.2 kbps, D-sub 9-Pin connector
Features	Bus wide testing

Tabelle A.1: Technische Daten des Pattern Generators DG 2020A

Datenblatt
TTL Data Output Pod P3410

Data Output	
Channels	12
Connector	26-Pin header
V_{OH}	4.4 into 1 M Ω
V_{OL}	0.1 into 1 M Ω
Rise/Fall Time	≤ 5 ns into 1 M Ω , 10 pF (20% to 80%)
Internal Clock Out to Data Delay	24 ns
External Clock Input to Data Output Delay	25 to 45 ns
Trigger Input to Data Output Delay	Internal Clock: 6.25 MHz: 30 to 65 ns ≤ 6.25 MHz: 45 to 80 ns External Clock: 25 ns + 0.5 clock to 45 ns + 1.5 clock
Delayed Channels	
Delay Channel	Ch8, Ch9, Ch10, Ch11
Delay Time	0 to 20 ns
Delay Resolution	0.1 ns
Channel Skew	Ch0 and other Channels, Same Pod: ≤ 50 ns Ch0 and Ch0, Two Pods of same Type: ≤ 2 ns
Event Input	
Threshold Level	TTL
Data to Data Output	≤ 50 ns + 50 clocks
Set-up Time to Next Block	47 to 54 clocks
Inhibit Input	
Level	TTL, 1 k Ω
Delay to Data Output	18 ns
Internal Inhibit Delay	5 ns
Physical Characteristics	
Height	51 mm
Width	150 mm
Depth	101 mm
Netto Weight	0.5 kg

Tabelle A.2: Technische Daten des Pod P3410

Datenblatt
Glob-Top EPO-TEK 87-GT

Characteristics	
Number of Components	two
Mixing Ratio Parts by Weight	
Part ,A'	2
Part ,B'	1
Cure Schedule	
150 °C	1 hour
70 °C	3 hours
Electrical Properties	
Volume Resistivity	$2 \times 10^{12} \Omega/cm$
Dielectric Constant	@ 1 kHz: 4.69
	@ 1 MHz: 4.25
Dissipation Factor	@ 1 kHz: 0.034
	@ 1 MHz: 0.024
Physical Properties	
Color	Dark Gray
Viscosity (typical @ 25°C/50 rpm)	6,000 cps
Specific Gravity (typical)	1.43
Thixotropic Index (typical)	1.5
Storage Modulus @ 25°C	169,600 psi
Cation-anion Analysis (ionic content-ppm)	Cl ⁻ : < 10
	Na ⁺ : 20
	K ⁺ : 15
	NH ₄ ⁺ : 11
	F ⁻ : N/D
	Acetate: 315
Total ion content	1.9 mS/m
Degradation Temperature	340°C 355°C
Lap Shear (typical @ 25°C)	2,100 2,168 psi
Die Shear (typical @ 25°C)	> 3,400 > 3,400 psi
Hardness Shore D	71 73
Tg (glass Transition Temp.)	70°C 91°C
CTE (Coefficient of Thermal Expansion)	Above Tg: $180 \times 10^{-6} \text{ in/in/}^\circ\text{C}$
	Below Tg: $43 \times 10^{-6} \text{ in/in/}^\circ\text{C}$

Tabelle A.3: Technische Daten der Glob-Top-Masse EPO-TEK 87-GT

Datenblatt
Silberleitkleber H20E

Allgemeine Eigenschaften / Härtung	
Typische Anwendung	Chipbonden, Standardkleber
Anzahl der Komponenten	2
Mischungsverhältnis (nach Gewicht) Harz:Härter	1:1
Topfzeit bei RT	2-4 Tage
Härtung (°C/Min)	190°/10s, 150°/5, 80°/90
Lagerfähigkeit bei RT	12 Monate
Optische Eigenschaften	
Farbe	sibrig
Brechungsindex bei 589,3 nm (Na D-Linie)	N.A.
Thermische Eigenschaften	
Max. Dauerbetriebstemp.	125°C
Kurzzeitige max. Temp.-belastung	425°C
Glastemperatur	85°C
Thermische Ausdehnung (unterhalb Tg/oberhalb Tg)	$43 \times 10^{-6}/K$ / $150 \times 10^{-6}/K$
Wärmeleitfähigkeit	$1,64 W m^{-1} K^{-1}$
Mechanische Eigenschaften	
Scherfestigkeit	$1030 N/cm^2$
Shore Härte (D)	79
Dichte	$2,6 g/cm^3$
Elektrische Eigenschaften	
Spez. el. Volumenwiderstand	$1-4 \times 10^{-4} \Omega cm$
Elektr. Spannungsfestigkeit	N.A.
Verlustfaktor bei (100 kHz)	N.A.
Fließ- / Verarbeitungs-Eigenschaften	
Viskosität bei 25°C	25000-35000 cps
Konsistenz	thixotrop, pastös
Füllstoff	Silber
Partikelgröße (Durchschn./max.)	$20 \mu m$ / $50 \mu m$

Tabelle A.4: Technische Daten des Silberleitklebers H20E

Anhang B

Pad-Beschreibung des CIPix1.1

An alle Pads¹ wurde eine Referenznummer vergeben. Die Nummerierung der Pads erfolgt entgegen dem Uhrzeigersinn und beginnt in der oberen linken Ecke (mit den analogen Eingangspads links). Abb. B.1 zeigt die geometrische Lage der Pads und deren Nummerierungsschema. In den nachfolgenden Tabellen werden die zu den Pads gehörenden Signale noch einmal zusammengestellt und erklärt. Wenn nicht anders vermerkt, sind die digitalen Ein- und Ausgangspegel CMOS-Pegel zwischen 0 und 3,3 V.

B.1 Pads vorne

Die analogen Eingangspads befinden sich an der Vorderseite des Chips. Sie sind zweifach gestaffelt (in zwei Reihen angeordnet) mit einem Pitch-Abstand von $100\mu\text{m}$.

Ref.no.	Pin name	Type	Description
1	AnalogIn<0>	input	input of channel 0
2	AnalogIn<1>	input	input of channel 1
3	AnalogIn<2>	input	input of channel 2
⋮	⋮	⋮	⋮
64	AnalogIn<63>	input	input of channel 63

Tabelle B.1: Pads an der Vorderseite des CIPix1.1. Das erste Pad in er Tabelle entspricht dem obersten Pad auf der Vorderseite des Chips.

¹Kontaktierungsfläche

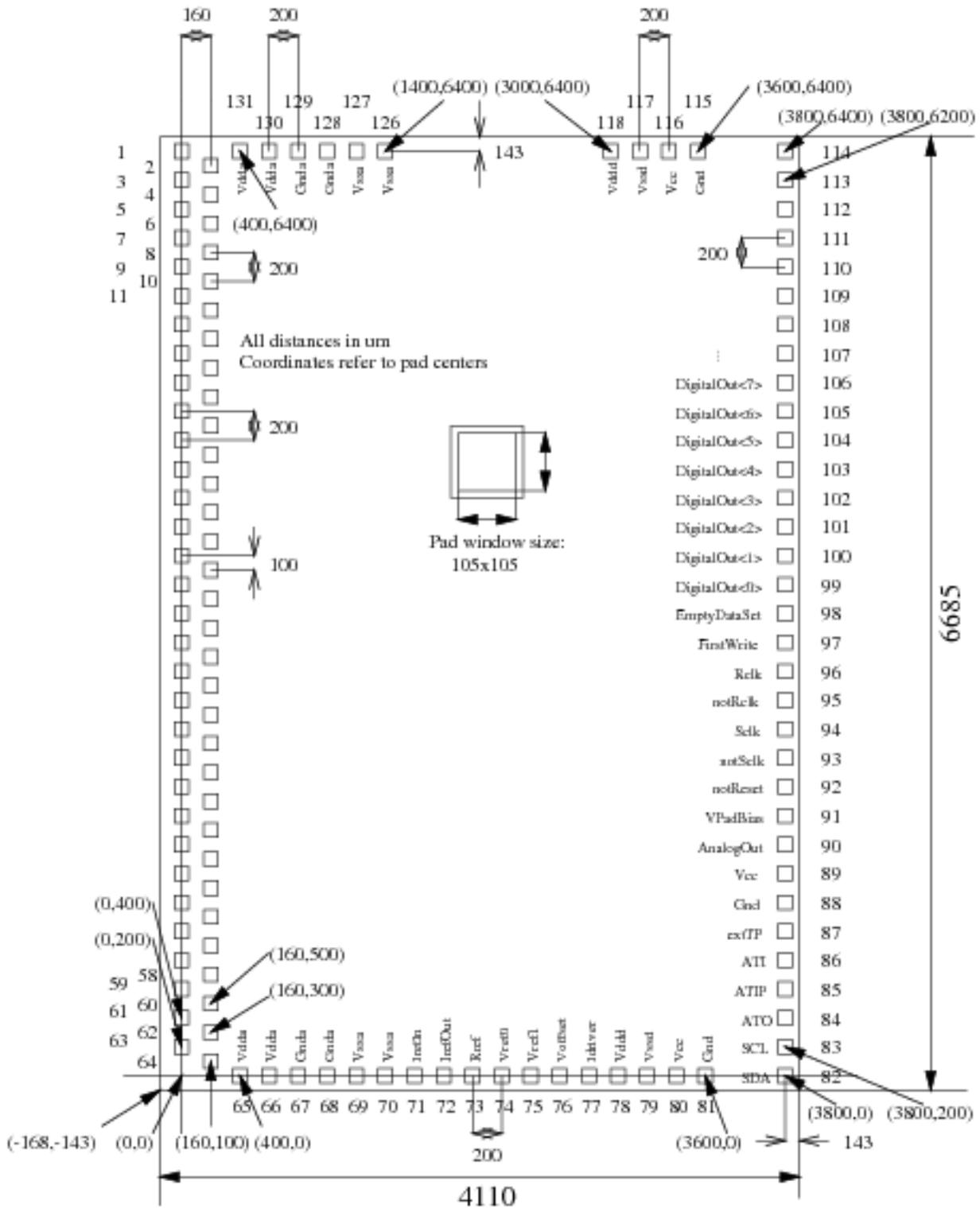


Abbildung B.1: Schematische Zeichnung der Padanordnung des CIPIX1.1.

B.2 Pads unten

Die Pads an der Chip-Unterseite sind in einem Pitch-Abstand von 200 μm positioniert.

Ref.no.	Pin name	Type	Description
65	Vdda	supply	positiv analog supply voltage (+2V)
66	Vdda	supply	positiv analog supply voltage (+2V)
67	Gnda	supply	analog ground (0V)
68	Gnda	supply	analog ground (0V)
69	Vssa	supply	negative analog supply voltage (-2V)
70	Vssa	supply	negative analog supply voltage (-2V)
71	IrefIn	input	reference current input for internal current DAC: may either be connected to an external reference current source or to the IRefOut pin, if internal reference current source is used.
72	IrefOut	output	output of internal reference current source
73	Rref	output	to be connected to external resistor (20k Ω to -2V) if internal reference current source is used.
74	Vref0	blocking output	to be connected to external blocking capacitor (100nF to gnd)
75	Vref1	blocking output	to be connected to external blocking capacitor (100nF to gnd)
76	Voffset	blocking output	to be connected to external blocking capacitor (100nF to gnd)
77	Idriver	blocking output	to be connected to external blocking capacitor (100nF to gnd)
78	Vddd	supply	positiv digital supply voltage (+2V)
79	Vssd	supply	negative digital supply voltage (-2V)
80	Vcc	supply	digital I/O power supply (3.3V)
81	Gnd	supply	digital ground (0V)

Tabelle B.2: Pads an der Unterseite des CIPix1.1

B.3 Pads hinten

Die Pads an der Rückseite des Chips haben einen Pitch-Abstand von 200 μm .

Ref.no.	Pin name	Type	Description
82	SDA	input/output	I ² C-bus serial data input/output
83	SCL	input	I ² C-bus serial clock input
84	ATO	output	token output for addressing procedure
85	ATIP	input	token input for addressing procedure
86	ATI	input	token input for addressing procedure
87	extTP	input	digital test pulse input: rising edge signals moment of charge injection
88	Gnd	supply	digital ground (0 V)
89	Vcc	supply	digital I/O power supply (3,3 V)
90	AnalogOut	output	serial analog output
91	VPadBias	input/output	external reference voltage for I/O-pads; to be used, if a voltage greater than the internally generated one (2.5V) is needed.
92	notReset	input	active low power-on reset
93	notSclk	LVDS-input	active low sampling clock
94	Sclk	LVDS-input	active high sampling clock (i.e. the bunch-crossing clock of 10.4 MHz)
95	notRclk	LVDS-input	inverted readout clock for data multiplexer
96	Rclk	LVDS-input	inverted readout clock for data multiplexer
97	FirstWrite	output	indicating the first readout bit of the multiplexer
98	EmptyDataSet	output	active-low control signal for external multiplexer, indicating if there are no input signals on the 64 input pads. It is generated as an OR of all input channels.
99	DigitalOut<0>	output	digital output of channels 0, 1, 2 and 3
100 - 113	⋮	⋮	⋮
114	DigitalOut<15>	output	digital output of channels 60, 61, 62 and 63

Tabelle B.3: Pads an der Rückseite des CIPiX1.1. Das erste Pad in der Tabelle entspricht dem untersten Pads auf der Rückseite des Chips.

B.4 Pads oben

Die Pads an der Oberseite des Chips haben einen Pitch-Abstand von 200 μm .

Ref.no.	Pin name	Type	Description
115	Gnd	supply	digital ground (0V)
116	Vcc	supply	digital I/O power supply (3.3V)
117	Vssd	supply	negative digital supply voltage (-2V)
118	Vddd	supply	positiv digital supply voltage (+2V)
119-125			no pads
126	Vssa	supply	negative analog supply voltage (-2V)
127	Vssa	supply	negative analog supply voltage (-2V)
128	Gnda	supply	analog ground (0V)
129	Gnda	supply	analog ground (0V)
130	Vdda	supply	positiv analog supply voltage (+2V)
131	Vdda	supply	positiv analog supply voltage (+2V)

Tabelle B.4: Pads auf der Oberseite des CIPix1.1

Anhang C

Externe Beschaltung des CIPix1.1

Abb. C zeigt den Schaltplan für die externe Bestückung des CIPix mit Kapazitäten. Diese dienen dazu, Störungen auf den Spannungszuführungen zu unterdrücken. Bei Verwendung der internen Stromquelle (siehe Abschnitt ???) muß ein $20\text{ k}\Omega$ Widerstand vom Pad *Rref* gegen *Vssa* (-2 V) gelegt werden und das Ausgangspad *IrefOut* direkt mit dem Eingangspad *IrefIn* verbunden werden.

Bei Messungen am CIPix1.0 wurde eine Oszillation der über dem Referenzwiderstand abfallenden Spannung festgestellt. Die parallel zu dem $20\text{ k}\Omega$ Widerstand geschaltete Blockkapazität von 10 nF reduziert die Frequenz dieser Oszillation um einen Faktor 100.

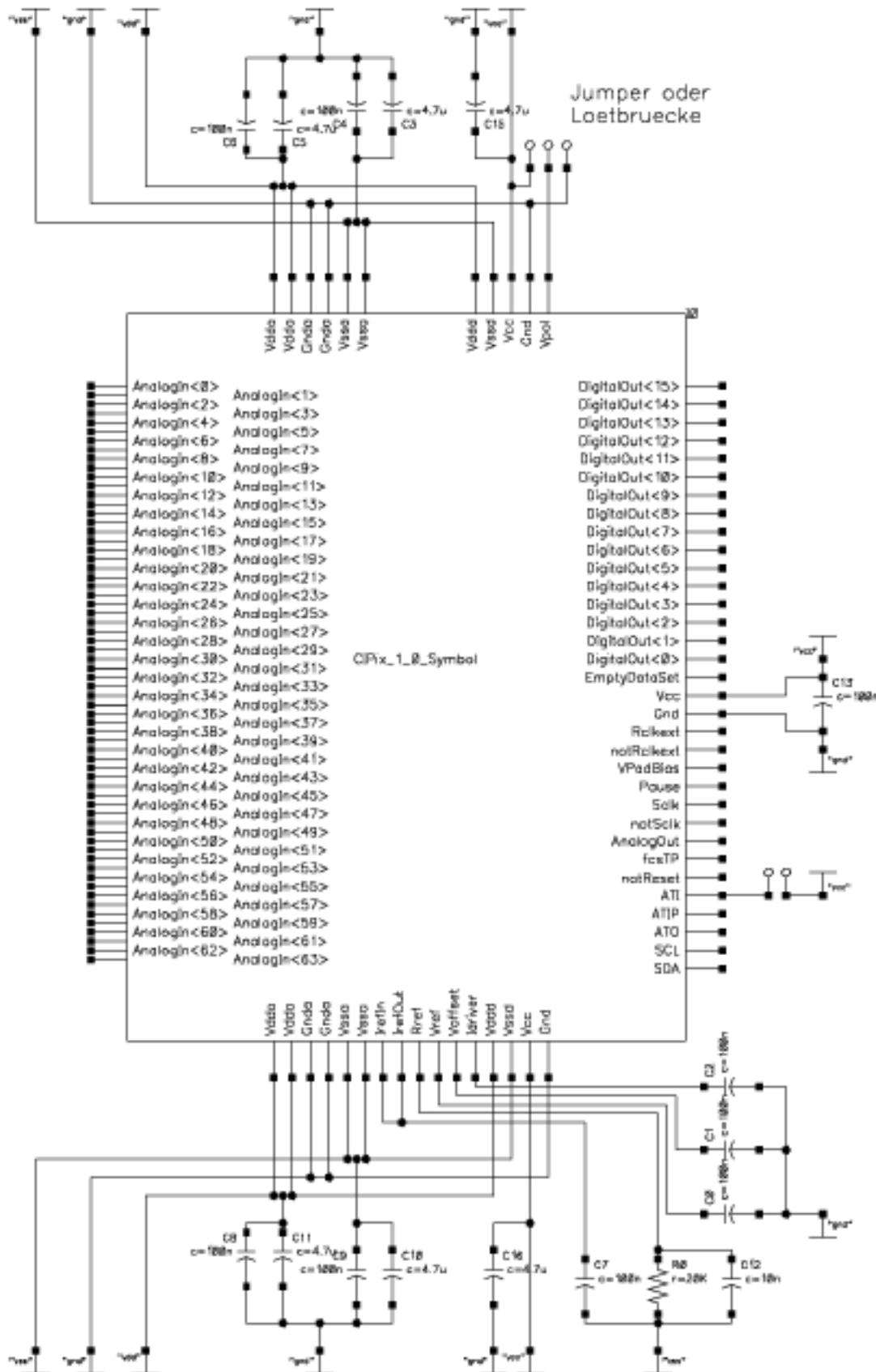


Abbildung C.1: Schaltplan für die externe Beschaltung des CIPiX1.1.

Literaturverzeichnis

- [CAL98a] Calibre UK, *Parallel I2C Communications Adapter*, User Manual, 1998
- [CAL98b] Calibre UK, *Parallel I2C Communications Adapter*, Driver Manual, 1998
- [DB98] D.Baumeister, M. Feuerstack-Raible, S. Löchner, *CIPiz User Manual*, ASIC-Labor, Version 1.0, Oktober 1998
- [DB99] D. Baumeister, *Entwicklung und Charakterisierung eines ASICs zur Kathodenauslese von MWPCs für das H1-Experiment bei HERA*, Diplomarbeit, Universität Heidelberg, 1999
- [DESYa] DesyInfo <desyinfo@desy.de>. Dezember 1999. „DESY in Focus“ <<http://www.desy.de/pr-info/desy-fokus.e.html>> (28.02.2000)
- [DESYb] DesyInfo <desyinfo@desy.de>. Dezember 1999. „Forschung bei DESY“ <<http://www.desy.de/pr-info/desy-forschung.d.html>> (28.02.2000)
- [ES97] E. Sexauer, *Charakterisierung des Helix128 Auslesechips für HERA-B*, Diplomarbeit, Universität Heidelberg, Max-Planck-Institut für Kernphysik Heidelberg, ASIC-Labor, 1997
- [FE92] F. Eisele u. G. Wolf, Phys. Bl. **48** (1992) 786
- [H1a] H1 Webmaster. 25.05.1998. „H1 Mission“ <http://www-h1.desy.de/h1/www/general/home/H1_mission.html> (28.02.2000)
- [H1b] H1 Collaboration: *ep Physics beyond 1999*. H1-10/97-531. Paper submitted to the representatives of the H1 Funding Agencies for their meeting on 24.11.1997 at DESY, Hamburg, 1997
- [H1c] Jochen Buerger <hlwebm@dice.desy.de>. 03.03.1997. „The H1 Detector at HERA“ <<http://www-h1.desy.de/h1/www/h1det/detpaper/contents.html>> (28.02.2000)
- [I²C95] Philips Semiconductors: *The I²C-bus and how to use it*, <<http://www-us2.semiconductors.philips.com/i2c/facts/#specification>>

- [NIC96] T. Nicholls et al., *Design and Performance of the Second Level Triggers of the H1 Detector*, 1997
- [PAD98] Pulsformmessungen am Helix2.0, Universität Padua,
<<http://axpze0.pd.it:8080/ZEUS/MVD/shape.html>>
- [SL98] S. Löchner, *Charakterisierung und Entwicklung eines CIP-Auslese-ASIC für das H1-Upgrade-Projekt 2000*, Diplomarbeit, Universität Heidelberg, 1998

Erklärung:

Ich versichere, daß ich diese Arbeit selbständig verfaßt und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Heidelberg, den 03.03.2000

Uwe Stange

