

Fakultät für Physik und Astronomie

Ruprecht-Karls-Universität Heidelberg

Charakterisierung und Entwicklung eines CIP-Auslese-ASIC für das H1-Upgrade-Projekt 2000

*Diplomarbeit
im Studiengang Physik*

*vorgelegt von
Sven Löchner
aus Mannheim*

Dezember 1998

Fakultät für Physik und Astronomie

Ruprecht-Karls-Universität Heidelberg

*Diplomarbeit
im Studiengang Physik*

*vorgelegt von
Sven Löchner
aus Mannheim*

Dezember 1998

**Charakterisierung
und Entwicklung eines
CIP-Auslese-ASIC
für das
H1-Upgrade-Projekt 2000**

*Die Diplomarbeit wurde von Sven Löchner ausgeführt am
Physikalischen Institut
unter der Betreuung von
Herrn Prof. Dr. Ulrich Straumann*

Zusammenfassung

Seit 1992 liefert das H1-Experiment am DESY in Hamburg Daten für ein umfassendes Gebiet der physikalischen Forschung im Bereich der Hochenergiephysik. Um diese erfolgreiche Arbeit weiter zu vertiefen und die Messungen in neuen kinematischen Regionen zu erweitern, ist eine Erhöhung der Luminosität bei HERA für das Jahr 2000 geplant. In diesem Zusammenhang sind Modifikationen der Detektorkomponenten notwendig.

Diese Arbeit beschreibt die Entwicklung und Charakterisierung des CMOS-Chips *CIPix*. Der *CIPix* wurde im Rahmen dieser Diplomarbeit im ASIC-Labor der Universität Heidelberg entwickelt und wird als Auslesechip für das CIP-Upgrade-Projekt eingesetzt werden. Er besteht aus 64 ladungsempfindlichen, rauscharmen Vorverstärkern. Die verstärkten Signale werden von 64 Komparatoren mit einstellbarer Polarität digitalisiert. Der Komparator generiert beim Überschreiten einer Referenzspannung ein Triggersignal, das mittels eines vierfachen Multiplexers auf 16 Kanälen ausgegeben wird.

Es werden die Architektur des *CIPix* vorgestellt und die einzelnen Funktionselemente erläutert. Die durchgeführten Simulationen werden dargestellt sowie die Meßergebnisse präsentiert.

Abstract

Since 1992, the H1 experiment at DESY in Hamburg delivers valuable data for a wide range of high energy physics research. In order to even surpass this successful work and to extend the measurements to new kinematic regions, a further increase in luminosity is planned for the year 2000. Therefore, various modifications concerning the components of the detectors will be necessary.

This thesis describes the development and characterization of the CMOS-chip *CIPix*. The *CIPix* has been developed in the ASIC-laboratory of the University of Heidelberg and will be used as a readout chip for the CIP upgrade project. It consists of 64 charge sensitive, low-noise preamplifiers. The input signals are digitized by a comparator with configurable polarity. The comparator produces a trigger signal if the input signal exceeds a reference level. These signals are multiplexed by 4 onto 16 digital outputs.

The architecture of the *CIPix* is presented and the different functional elements are explained. The simulations are shown and test results are given.

Inhaltsverzeichnis

1. Einleitung	1
2. Das H1-Experiment	3
2.1. HERA	3
2.2. Der H1-Detektor	5
2.3. Das H1-Triggersystem.....	9
2.4. Das H1-2000-Upgrade Projekt	12
2.4.1. Die alte CIP-Kammer.....	14
2.4.2. Die neue CIP-Kammer	15
3. Entwicklung der Ausleseelektronik	17
3.1. Anforderungen an den Auslesechip	17
3.1.1. Anforderung der CIP-Kammer an den CIPix und umgekehrt.....	19
3.2. CMOS-Technologie	19
3.2.1. CMOS-Produktionsprozess.....	21
3.3. CAD- und Simulationsprogramm	23
3.4. Frontend (Preamplifier, Shaper, Buffer)	24
3.4.1. Funktionsweise des Frontend	24
3.4.2. Frontend-Einstellungen	27
3.5. Komparator	28
3.5.1. AC-Kopplung	28
3.5.2. Differenzverstärker	29
3.5.3. Signalpolarität des Komparators	30
3.5.4. D-Flip-Flop.....	31
3.5.5. Komparator-Einstellungen	31
3.6. Multiplexer	32
3.6.1. Interne Steuersignale des Multiplexers.....	32
3.6.2. Multiplexerstufe.....	33
3.6.3. Startbedingung des Multiplexers	34
3.6.4. Kanalzuordnung des Multiplexers.....	34
3.7. Testpulsgenerator.....	35
3.7.1. Testpuls-Steuerlogik	36
3.7.2. Testpuls-Kanalzuordnung	38
3.8. Analoge Ausgabe	38
3.8.1. Einstellungen des Stromtreibers	40
3.8.2. Analoge Signalauslese ohne anliegende Taktfrequenz.....	40
3.9. Die Bias-Generatoren.....	41
3.9.1. Stromquellen.....	41
3.9.2. Spannungsquellen	41
3.9.3. Externe Beschaltung zur Generierung des internen Referenzstromes.....	41

3.10. I ² C-Interface, Digitalkontrolle.....	42
3.10.1. I ² C-Interface.....	42
3.10.2. Address-Decoder.....	43
3.10.3. Adress-Generator.....	44
3.11. Stromversorgung.....	45
3.12. Levelshifterpads.....	46
3.12.1. Eingangs-Levelshifter.....	46
3.12.2. Ausgangs-Levelshifter.....	47
3.12.3. Ein-/Ausgangs-Levelshifter.....	47
3.12.4. LVDS-Eingangs-Levelshifter.....	47
4. Simulationen	49
4.1. Simulation des Vorverstärkers und Komparators.....	49
4.1.1. Abhängigkeit des Vorverstärkerausgangs von V_{fp} und V_{fs}	51
4.1.2. Abhängigkeit des Vorverstärkerausgangs von der Lastkapazität.....	52
4.1.3. Abhängigkeit des Komparators von V_{ref}	52
4.1.4. Ansprechverhalten.....	53
4.1.5. Simulation mit einer Microstrip.....	55
4.2. Simulation des Multiplexers.....	55
4.3. Simulation der Levelshifterpads.....	57
5. Messungen am CIPIx	59
5.1. Levelshifterpads.....	60
5.2. CIPIx-Adressvergabe.....	61
5.3. Programmierung des CIPIx.....	61
5.3.1. Überprüfung der Schreibsequenz auf dem I ² C-Bus.....	62
5.3.2. Überprüfung der Lesesequenz auf dem I ² C-Bus.....	63
5.4. Messung der Referenzspannung.....	65
5.5. Ausgabe eines Testsignals an <i>AnalogOut</i>	65
6. Zusammenfassung und Ausblick	67
A. CIPIx Pad-Beschreibung	69
A.1. Pads vorne.....	69
A.2. Pads unten.....	69
A.3. Pads hinten.....	70
A.4. Pads oben.....	70
A.5. Testpads auf dem CIPIx.....	71
A.6. Geometrische Anordnung der CIPIx-Pads.....	72
B. Layout des CIPIx	73
C. Externe Blockkapazitäten beim CIPIx	77
Literaturverzeichnis	79

Abbildungsverzeichnis

Abb. 2.1:	Der Speicherring von HERA am DESY [H1 98]	4
Abb. 2.2:	Von HERA gelieferte integrierte Luminosität (links) und die vom H1-Detektor für die Datennahme benutzte (rechts)	4
Abb. 2.3:	Das H1-Koordinatensystem	5
Abb. 2.4:	Schematische Ansicht des H1-Detektor [H1 98]	6
Abb. 2.5:	Innere Spurkammern des H1-Trackingsystems [H1 98]	8
Abb. 2.6:	Radiale Ansicht des H1-Trackingsystems mit seinen Komponenten (ohne CST) [H1 98]	8
Abb. 2.7:	Schema der Triggerstufen des H1-Triggersystems mit zugehörigen Entscheidungszeiten sowie Ein- und Ausgaberraten	11
Abb. 2.8:	Spurrekonstruktion durch aktivierte Pads in der CIP und der COP [HB96]	14
Abb. 2.9:	Histogrammbildung bei der z -Vertex-Bestimmung [HB96]	14
Abb. 2.10:	Prinzipieller Aufbau einer Kammerlage der neuen CIP [MK98]	15
Abb. 3.1:	Blockdiagramm des CIPix 1.0	18
Abb. 3.2:	n-MOS-Transistor	20
Abb. 3.3:	p-MOS-Transistor	20
Abb. 3.4:	Schnitt durch ein n- und p-MOS-Transistor	21
Abb. 3.5:	Kennlinien eines n-MOS-Feldeffekttransistors	21
Abb. 3.6a-h:	Der CMOS-Produktionsprozess [MK98b]	22
Abb. 3.7:	<i>Cadence</i> -Layoutansicht eines n-MOS und p-MOS-Transistors	24
Abb. 3.8:	Blockschaltbild der analogen Eingangsstufe	25
Abb. 3.9:	<i>Cadence</i> -Schaltbild der analogen Eingangsstufe	25
Abb. 3.10:	Schaltplan des Preamplifiers	25
Abb. 3.11:	Schaltplan der Rückkoppelstufe des Preamplifiers	26
Abb. 3.12:	Blockschaltbild des Komparators	28
Abb. 3.13:	Schaltplan eines 2-stufiger Komparator	30
Abb. 3.14:	Interne Steuersignale des Multiplexers	32
Abb. 3.15:	Schaltplan zur Generierung der internen Steuerleitungen	33
Abb. 3.16:	Schaltplan der Multiplexerstufe	34
Abb. 3.17:	Startverhalten von <i>ScIk</i> , <i>RclK</i> und <i>notReset</i>	34
Abb. 3.18:	Ausgangskanalzuordnung des Multiplexers (links CIPix 1.0, rechts CIPix 1.1)	35
Abb. 3.19:	Schema der Testpulseinkoppelung	36
Abb. 3.20:	Programmierregister <i>TpReg</i> der Testpuls-Steuerlogik	37
Abb. 3.21:	Schaltplan der Testpuls-Steuerlogik	37
Abb. 3.22:	Blockschaltbild der analogen Ausgabe	38
Abb. 3.23:	Register <i>AnalogOut</i> der analogen Kanalausgabe	39
Abb. 3.24:	Schaltplan des <i>Current Buffers</i> mit nachgeschaltetem <i>Transmission-Gate</i>	39
Abb. 3.25:	Schaltplan des <i>Transmission-Gates</i>	40
Abb. 3.26:	Schaltplan der externen Beschaltung von <i>Rref</i> , <i>IrefOut</i> und <i>IrefIn</i>	41
Abb. 3.27:	7-Bit-Programmiersequenz	43
Abb. 3.28:	Anordnung der Datenpakete im <i>consecutive mode</i> und im <i>single mode</i>	44
Abb. 3.29:	Beschaltung der externen Adress-Generator-Leitungen	45

Abb. 3.30:	Schaltplan der Eingangs-Levelshifterpads [MFR98].....	46
Abb. 3.31:	Schaltplan der Ausgangs-Levelshifterpads [MFR98].....	47
Abb. 3.32:	Blockschaltbild der Ein-/Ausgangs-Levelshifter-Schaltung.....	47
Abb. 3.33:	Blockschaltbild der LVDS-Levelshifter-Schaltung.....	48
Abb. 4.1:	Schaltplan eines CIPix-Kanals mit Vorverstärker und Komparator	50
Abb. 4.2:	Signaleinkoppelungsstufe.....	51
Abb. 4.3:	Verhalten eines Vorverstärker-Ausgangs bei unterschiedlichen Werten von V_{fp} und V_{fs}	51
Abb. 4.4:	Ein- und Ausgang des Vorverstärkers in Abhängigkeit der externen Lastkapazität.....	52
Abb. 4.5:	Verhalten des Komparators in Abhängigkeit der Referenzspannung V_{ref}	53
Abb. 4.6:	Verhalten des Komparators, eingekoppelte Signale bei 100, 200, 400 und 500 ns	54
Abb. 4.7:	Verhalten des Komparators, eingekoppelte Signale bei 100, 300, 700 und 900 ns	54
Abb. 4.8:	Verhalten des Komparators, eingekoppelte Signale bei 100, 500 und 900 ns	54
Abb. 4.9:	Simulation einer Mikrostrip mit einem CIPix-Vorverstärker.....	55
Abb. 4.10:	Simulation des Multiplexers.....	56
Abb. 4.11:	Simulation der LVDS-Levelshifterstufe [DB98].....	57
Abb. 5.1:	Anschlußbelegung eines CIPix in einem CLCC84-Gehäuse	59
Abb. 5.2:	Verhalten eines Clocksignal vor und nach der Levelshifterstufe.....	60
Abb. 5.3:	CIPix-Adressvergabe, Messung von ATO	61
Abb. 5.4:	Lineares Verhalten einer internen Spannungsquelle.....	62
Abb. 5.5:	PC-Bus-Schreibsequenz.....	63
Abb. 5.6:	PC-Bus-Lesesequenz, gemäß PC-Spezifikationen (links) und auf dem CIPix 1.0 (rechts).....	64
Abb. 5.7:	Spannungsverhalten am externen Referenzwiderstand R_{ref} ohne (links) und mit (rechts) 10 nF Blockkapazität.....	65
Abb. 5.8:	Analoges Ausgangssignal eines Testpulses bei unterschiedlichen Werten von V_{fs}	66
Abb. A.1:	Schematische Übersicht des CIPix 1.0 mit Positionsangaben der Pads.	72
Abb. B.1:	Lokalisierungshilfe für Layout-Komponenten	74
Abb. B.2:	Layout des CIPix 1.0.....	75
Abb. C.1:	Externe Blockkapazitäten an den Betriebsspannungen des CIPix 1.0.....	77

Tabellenverzeichnis

Tab. 2.1.:	Physikalische Prozesse bei HERA mit zugehörigen Wirkungsquerschnitten und Ereignisraten bei Entwurfsluminosität.....	9
Tab. 3.1.:	Standardwerte für den Vorverstärker.....	27
Tab. 3.2.:	Standardwerte für den Komparator.....	31
Tab. 3.3.:	Zuordnung der Ladungseinkoppelungen zu den Vorverstärkerkanälen.....	38
Tab. 3.4.:	Standardwerte für die analoge Datenausgabe.....	40
Tab. 3.5.:	Adressmode-Definition.....	43
Tab. 3.6.:	Aufstellung der internen CIPix-Register und ihre Funktion.....	44
Tab. 3.7.:	Beschreibung der vom CIPix benutzten Betriebsspannungen.....	45
Tab. A.1.:	Pads an der Vorderseite des CIPix 1.0. Das erste Pad in der Tabelle entspricht dem obersten Pad auf dem CIPix.	69
Tab. A.2.:	Pads an der Unterseite des CIPix. Das erste Pad in der Tabelle entspricht dem linken Pad.....	69
Tab. A.3.:	Pads an der Rückseite des CIPix 1.0. Das erste Pad in der Tabelle entspricht dem untersten Pad auf dem CIPix.....	70
Tab. A.4.:	Pads an der Oberseite des CIPix. Das erste Pad in der Tabelle entspricht dem rechten Pad.	70
Tab. A.5.:	Beschreibung der Testpads auf dem CIPix 1.0. Die Numerierung beginnt in der oberen rechten Ecke.	71

1. Einleitung

Das H1-Experiment am Elektron-Proton-Speicherring HERA des Deutschen Elektronen-Synchrotrons (DESY) in Hamburg liefert seit 1992 Daten für ein breites Forschungsgebiet in der Hochenergiephysik. Um neue Forschungsbereiche zu öffnen und die bestehenden weiter zu vertiefen, wird im Jahre 2000 die Luminosität von HERA erhöht. Es sind verschiedene Projekte in Planung bzw. in Arbeit, um den gesamten H1-Detektor der erhöhten Luminosität anzupassen und für zukünftige Aufgaben vorzubereiten. Dies bedeutet, daß erhebliche Umbauarbeiten und Anpassungen an einzelne Detektorkomponenten durchgeführt werden müssen.

Diese Diplomarbeit beschäftigt sich mit der Entwicklung einer Ausleseelektronik für die innere Proportionaldrahtkammer (*central inner proportional chamber, CIP*), die als Teil des Spurrekonstruktionssystems bei H1 Informationen für die erste Triggerstufe (L1) liefert.

In Kapitel 2 wird der Speicherring HERA beschrieben sowie der Aufbau des H1-Experimentes dargestellt. Schwerpunkt ist hier die Beschreibung der alten und neuen CIP-Kammer, für die die Ausleseelektronik entwickelt wurde.

Kapitel 3 stellt die Motivation einer ASIC-Chip-Entwicklung vor und beschreibt die einzelnen Komponenten, die sich auf dem neuen ASIC mit dem Namen *CIPix* befinden.

In Kapitel 4 werden die wichtigsten Simulationen zusammengefaßt und beschrieben, die während der ASIC-Entwicklung durchgeführt wurden.

Die ersten wichtigen Messungen, die am CIPix durchgeführt wurden, sind in Kapitel 5 beschrieben.

Im Kapitel A des Anhangs werden die Anschlüsse des CIPix beschrieben. In Kapitel B ist das Layout mit einer Übersicht abgedruckt. Das letzte Kapitel C zeigt einen Schaltplan, aus dem die Anschlüsse der externen Kapazitäten und Widerstände hervorgehen.

2. Das H1-Experiment

Der in der vorliegenden Arbeit beschriebene Auslesechip wurde für das H1-Experiment am Speicherring HERA¹ der Großforschungseinrichtung DESY in Hamburg entwickelt. Im folgenden sollen nach einer kurzen Beschreibung des Beschleunigersystems die wichtigsten Komponenten des H1-Detektors beschrieben werden.

2.1. HERA

Der HERA-Speicherring ist das weltweit einzige Beschleunigersystem, in dem Elektronen² und Protonen mit einer Schwerpunktsenergie von $\sqrt{s_{ep}} \approx 300$ GeV zur Kollision gebracht werden. Der maximal erreichbare quadratische Viererimpulsübertrag beträgt hier $Q^2 \approx 10^5$ GeV².

Die Abb. 2.1 zeigt einen Überblick über HERA. In einem System von Linearbeschleuniger und Vorbeschleuniger (PETRA) werden die Positronen (e^+) und Protonen (p) auf eine Energie von 12 bzw. 40 GeV vorbeschleunigt und anschließend in die getrennten Strahlröhren des Speicherrings HERA eingekoppelt. Dort werden die Positronen auf eine Endenergie von 27,6 GeV und die Protonen auf 920 GeV beschleunigt. Aufgrund des Umfangs des Speicherrings von 6,3 km konnte dieser in Hamburg nur unterirdisch gebaut werden. Der Tunnel mit den beiden Hochvakuum-Röhren verläuft zum Teil unter dem Hamburger Volkspark.

Um sowohl die Elektronen als auch die Protonen auf der vorgegebenen Bahn in den Röhren zu halten, sind starke Magnetfelder erforderlich. Diese sind durch den Radius des Speicherrings und den Impuls der Teilchen bestimmt. Für die Protonen ergibt sich damit eine Feldstärke von 4,68 T, die durch supraleitende Magnete erzeugt wird. Aufgrund ihres viel geringeren Impulses ist für die Elektronen ein Magnetfeld von 0,165 T ausreichend.

Die Elektronen- und die Protonen-Strahlen bestehen aus bis zu 210 einzelnen Teilchenpaketen, sogenannten „*Bunches*“. Jedes dieser Pakete enthält zwischen 10^{10} und 10^{11} Teilchen, so daß die Ströme der beiden Strahlen typisch $I_e = 20$ mA und $I_p = 60$ mA betragen. Die zeitliche Differenz zwischen zwei Paketen und damit auch zwischen zwei Kollisionen in den Wechselwirkungszonen beträgt 96 ns. Dies entspricht einer „*Bunchcrossing*“-Frequenz von 10,4 MHz und gibt die Datenrate der an HERA durchgeführten Experimente vor. Diese auch als „HERA-Clock“ bezeichnete Frequenz gibt die wesentlichen Anforderungen an die Ausleseelektronik der Experimente vor.

¹ Hadron-Elektron-Ring-Anlage

² Seit 1994 werden aus technischen Gründen ausschließlich Positronen verwendet. Mit diesen können höhere Strahlströme und damit höhere Luminositäten erreicht werden. Der Einfachheit halber werden die Positronen weiter als Elektronen bezeichnet.

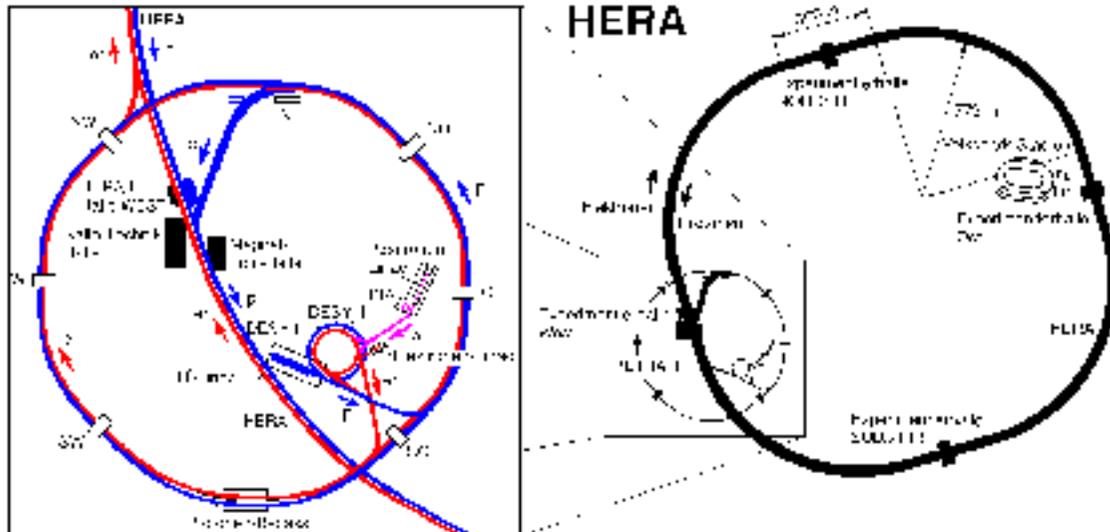


Abb. 2.1: Der Speicherring von HERA am DESY [H1 98]

An zwei Stellen von HERA werden die beiden Strahlen zur Kollision gebracht. Um diese Wechselwirkungszone sind die beiden Experimente H1 (Halle Nord) und ZEUS (Halle Süd) aufgebaut, die seit 1992 Daten nehmen. Die Abb. 2.2 zeigt im linken Diagramm die von HERA produzierte integrierte Luminosität für die Jahre 1992-1997 und das erste Halbjahr 1998. Das rechte Diagramm zeigt für den gleichen Zeitraum die von H1 akkumulierte Luminosität [H1 98].

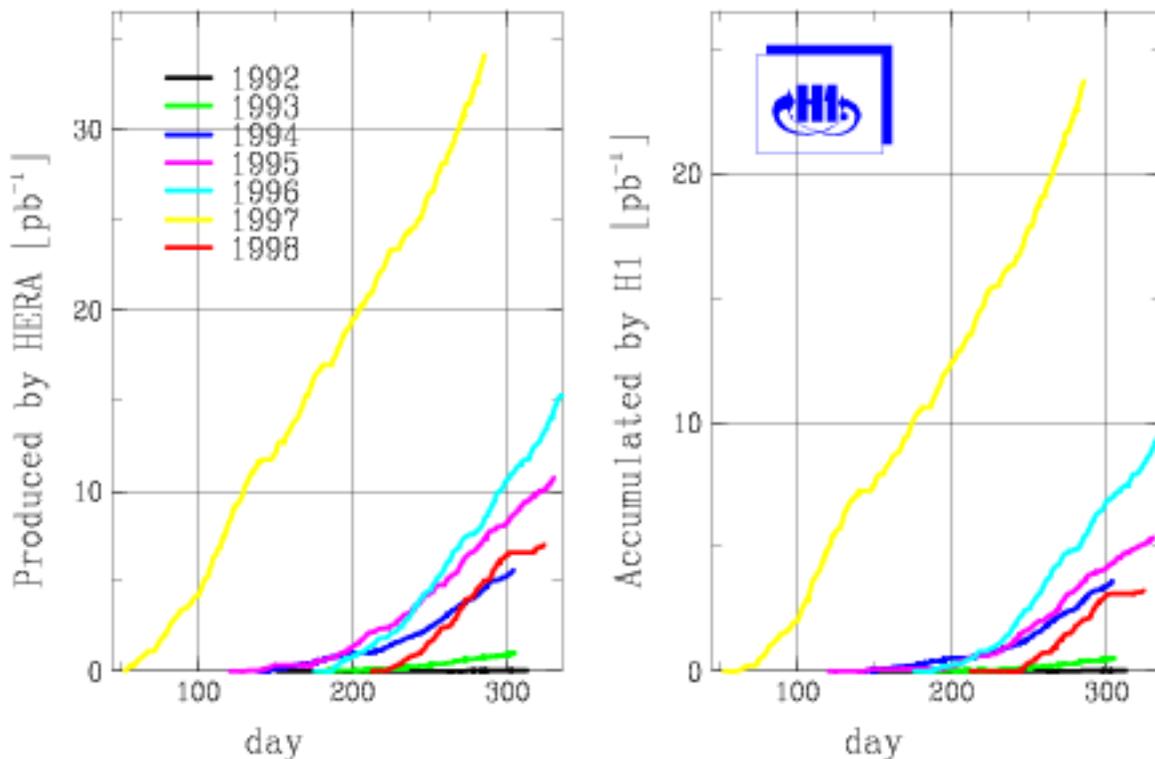


Abb. 2.2: Von HERA gelieferte integrierte Luminosität (links) und die vom H1-Detektor für die Datennahme benutzte (rechts)

Die physikalischen Fragestellungen, die von H1 und ZEUS untersucht werden sollen, sind im wesentlichen (vgl. auch [BI91]):

- Bestimmung der Protonenstrukturfunktion $F_2(x, Q^2)$ als Funktion von x und Q^2 . Unter x versteht man im Quark-Parton-Modell den relativen Impuls des Partons am Gesamtimpuls des Protons, Q^2 ist das Quadrat des Viererimpulsübertrags.
- Untersuchung des hadronischen Endzustandes in der tiefinelastischen Lepton-Proton-Streuung.
- Untersuchung der hadronischen Struktur des Photons.
- Präzisionstests der Theorien der starken und elektroschwachen Wechselwirkung.
- Suche nach Physik jenseits des Standardmodells (z.B. SUSY).

Am Speicherring HERA befinden sich auch noch zwei weitere Experimente, die jeweils nur einen Teilchenstrahl benutzen. HERMES in der Halle Ost untersucht die Streuung polarisierter Elektronen an polarisierten Atomkernen. HERA-B, das sich momentan noch im Aufbau befindet, wird das Halo des Protonenstrahls benutzen, um die CP-Verletzung im System der neutralen B-Mesonen nachzuweisen (eine erste Datennahme soll Mitte 1999 erfolgen).

2.2. Der H1-Detektor

Der H1-Detektor (Abb. 2.4) besteht aus mehreren Detektorkomponenten, die die Wechselwirkungszone annähernd vollständig umgeben (4π -Detektor). Auffällig ist die asymmetrische Bauweise, die dem sich aufgrund der unterschiedlichen Strahlenergien in Protonenrichtung bewegenden Schwerpunktsystem der Elektron-Proton-Streuung Rechnung trägt.

Der nominelle Wechselwirkungspunkt (*Vertex*) definiert den Ursprung des H1-Koordinatensystems (Abb. 2.3). Die z -Achse zeigt in Protonflugrichtung, die x -Achse zum Zentrum des Speicherrings HERA. Die y -Achse ist durch die Rechtshändigkeit des H1-Koordinatensystems festgelegt und zeigt nach oben. Der Azimutwinkel φ wird längs der Protonflugrichtung von der x -Achse im Uhrzeigersinn und der Polarwinkel θ von der z -Achse gegen die Protonflugrichtung gemessen. Der Bereich negativer z -Koordinaten bzw. großer Polarwinkel wird als Rückwärtsbereich bezeichnet.

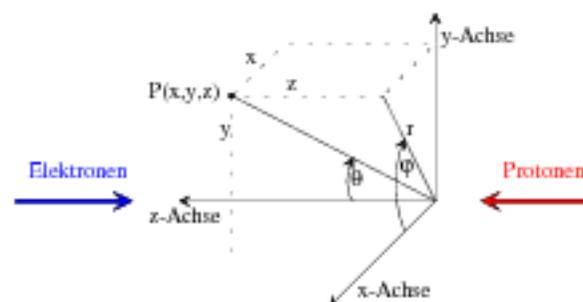
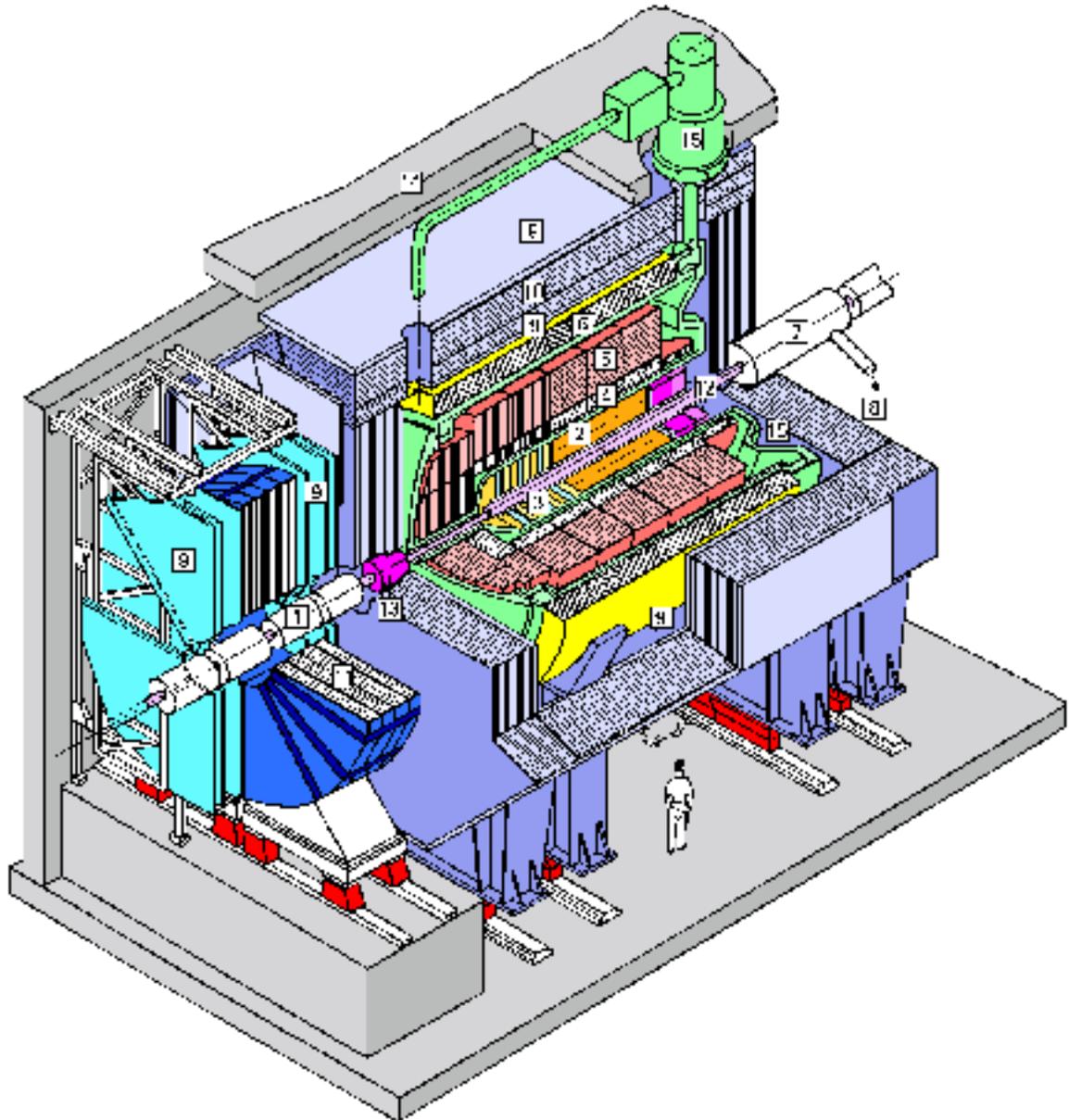


Abb. 2.3: Das H1-Koordinatensystem



- | | |
|--|---|
| 1 Strahlrohr und Strahlmagnete | 9 Myon-Kammern |
| 2 Zentrale Spurenkammern | 10 Instrumentiertes Eisen (Streamer-Röhren) |
| 3 Vorwärtsspurenkammern und Übergangstrahlungsmodule | 11 Myon-Toroid-Magnet |
| 4 Elektromagnetisches Kalorimeter (Blei) | 12 Spaghetti Kalorimeter (SpaCal) |
| 5 Hadronisches Kalorimeter (Edelstahl) | 13 Vorwärts-Kalorimeter |
| 6 Supraleitende Spule (1,2 T) | 14 Betonabschirmung |
| 7 Kompensationsmagnet | 15 Flüssig-Argon-Kryostat |
| 8 Helium-Kälteanlage | |

Abb. 2.4: Schematische Ansicht des H1-Detektor [H1 98]

Im folgenden werden die wichtigsten Komponenten des von der H1-Kollaboration gebauten Detektors beschrieben. Eine detaillierte Beschreibung des H1-Detektors findet sich zum Beispiel in [H1 97b].

Von der Wechselwirkungszone aus gesehen ist H1 wie folgt aufgebaut:

- Ein zweilagiger *Silizium Vertexdetektor* (*central silicon tracker*, CST, Abb. 2.5) mit einer intrinsischen Auflösung von $10\ \mu\text{m}$ bestimmt den Kollisionspunkt und die Zerfallsorte von Teilchen aus der Reaktion. Der CST ist eine Erweiterung des ursprünglichen H1-Konzeptes und erst seit 1997 voll einsetzbar.
- Das Strahlrohr und der CST werden von einem System konzentrischer Spurrkammern umgeben (② in Abb. 2.4, vergrößerte Seitenansicht in Abb. 2.5, radiale Ansicht in Abb. 2.6). Von den inneren zu den äußeren Radien sind dies eine doppelagige Vieldrahtproportionalkammer (*central inner proportional chamber*, CIP) und eine z-Driftkammer (*central inner z-chamber*, CIZ) zur Bestimmung der z-Koordinate von Spuren mit einer Auflösung von $200\ \mu\text{m}$.

Zwei konzentrische Jet-Driftkammern CJC1 und CJC2 (*central jet chamber*, CJC) erlauben die Rekonstruktion geladener Teilchenspuren in einem Winkelbereich von $30^\circ < \theta_p < 150^\circ$. Die Winkelauflösung der Kammer beträgt $\sigma_\theta \approx 1\ \text{mrad}$ bei einer Impulsauflösung von $\frac{\sigma_p}{p} \approx 3 \times 10^{-3}\ \text{GeV}^{-1}$ [H1 98].

Zwischen den beiden Jet-Driftkammern befindet sich eine weitere doppelagige Vieldrahtproportionalkammer (*central outer proportional chamber*, COP) sowie eine äußere z-Driftkammer (*central outer z-chamber*, COZ) mit einer Auflösung von $340\ \mu\text{m}$.

- Das Vorwärts-Spurrkammersystem ③ wird aus drei identischen Supermodulen gebildet. Es besteht aus einer planaren und einer radialen Driftkammer sowie einem Übergangsstrahlungsdetektor und einer doppelagigen Vieldrahtproportionalkammer (*forward proportional chamber*, FPC). Durch die Vorwärtsspurrkammern wird die Winkelakzeptanz für geladene Teilchen bis $\theta = 5^\circ$ ausgedehnt.
- Das Flüssig-Argon-Kalorimeter besteht aus einem elektromagnetischen ④ und einem hadronischen Teil ⑤. Das elektromagnetische Kalorimeter besteht aus Bleiabsorberplatten; abhängig von θ ist es 20-30 Strahlungslängen dick. Der hadronische Teil besitzt als Absorber Edelstahlplatten. $53\ \text{m}^3$ flüssiges Argon dienen zwischen den Platten als aktives Material. Daher ist auch das komplette Kalorimeter in einem Kryostaten ⑥ untergebracht.

Das Kalorimeter von H1 ist ein nicht kompensierendes Kalorimeter, daß heißt die Antwort des Kalorimeters von Elektronen bzw. Hadronen gleicher Energie fällt unterschiedlich aus. Durch die feine Granularität des Kalorimeters lassen sich die Schauerformen für Elektronen oder Photonen und Hadronen aus den Reaktionsprodukten der Elektron-Proton-Streuung unterscheiden. Die Energieauflösung liegt bei $\alpha(E)/E \approx 12\%/\sqrt{E/\text{GeV}} \oplus 1\%$ für Elektronen und $50\%/\sqrt{E/\text{GeV}} \oplus 2\%$ für Hadronen. Die absolute Energieskala ist auf 3% (4% für Hadronen) genau bekannt. Der abgedeckte Winkelbereich des Flüssig-Argon-Kalorimeter ist $3^\circ < \theta_p < 155^\circ$.

- Im Vorwärtsbereich wird der H1-Detektor durch ein Kupfer-Silizium-Kalorimeter ⑦ ergänzt. Dieser sogenannte Plug-Detektor erschließt den Akzeptanzbereich von $0,7^\circ \leq \theta_p \leq 3,2^\circ$.

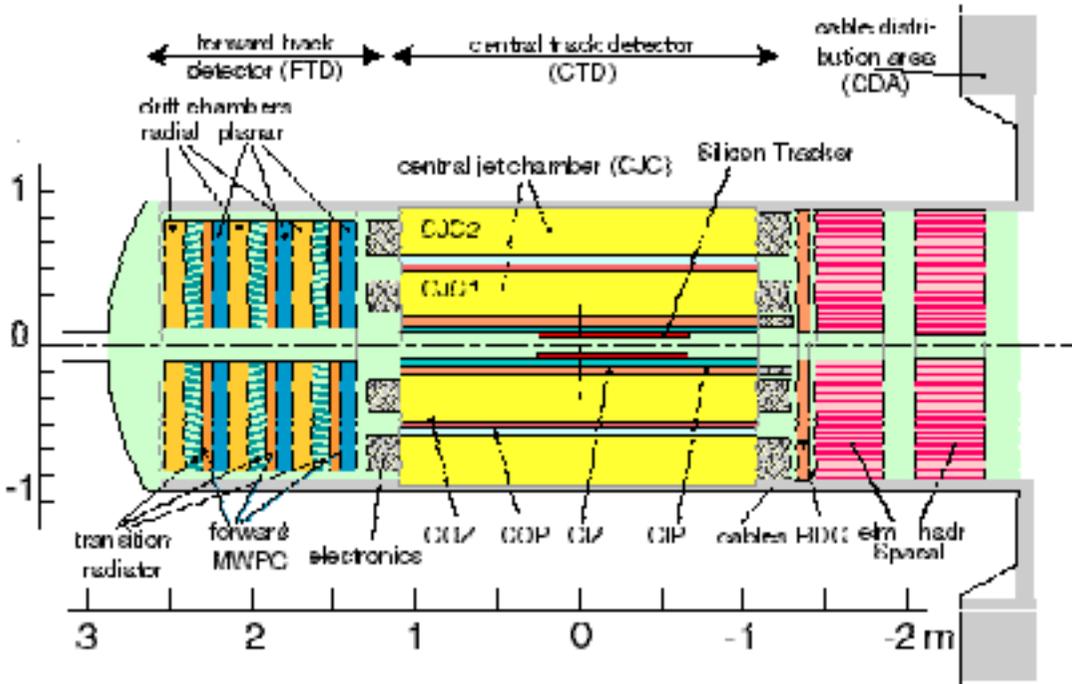


Abb. 2.5: Innere Spurkammern des H1-Trackingsystems [H1 98]

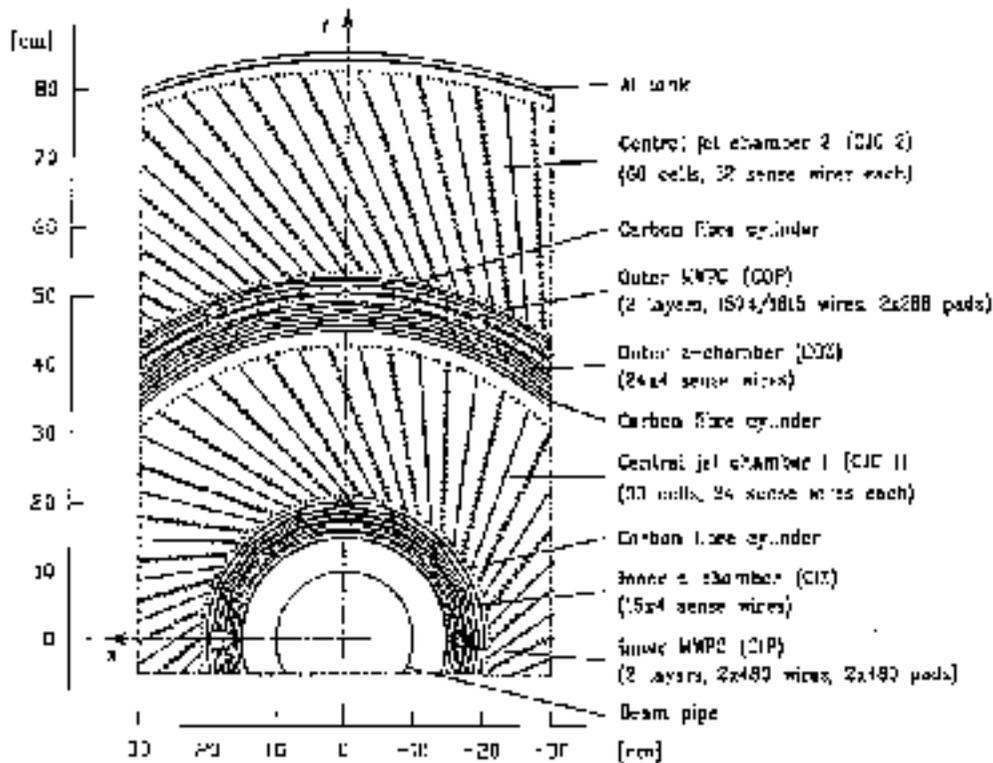


Abb. 2.6: Radiale Ansicht des H1-Trackingsystems mit seinen Komponenten (ohne CST) [H1 98]

- Die supraleitende Spule erzeugt im Bereich der Spurkammern ein nahezu homogenes Magnetfeld von 1.16 T, dessen Feldlinien in die Protonrichtung, d.h. in die positive z-Richtung des H1-Koordinatensystems zeigen. Dies ermöglicht die Impulsmessung geladener Teilchen in den Driftkammern. Die Rückführung des magnetischen Flusses geschieht durch ein Eisenjoch, in dem zusätzliche Streamkammern für den Nachweis von Myonen eingebettet sind .
- Elektronen und Hadronen bei großen Streuwinkeln von $\theta=152^\circ$ bis $\theta=177^\circ$ können mit Hilfe eines Blei-Faser-Kalorimeters (*Spaghetti calorimeter*, SpaCal) und einer rückwärtigen Driftkammer (*backward drift chamber*, BDC) nachgewiesen werden.
- Die von HERA zur Verfügung gestellte Luminosität wird von H1 mit dem Luminositätssystem über den Bethe-Heitler-Prozeß $ep \rightarrow ep\gamma$ (Bremsstrahlung) gemessen. Zwei kleine Kalorimeter, 105 m und 33 m vor dem Wechselwirkungspunkt installiert, weisen diese Photonen (Photonentagger) und Elektronen (Elektronentagger) nach.

2.3. Das H1-Triggersystem

Um physikalisch interessante Prozesse mit kleinem Wirkungsquerschnitt, wie beispielsweise W^\pm -Produktion oder tiefinelastische Streuung mit geladenem Strom, mit möglichst guter Statistik messen zu können, ist eine hohe Luminosität erforderlich. Die angestrebte Luminosität bei HERA beträgt $1,5 \cdot 10^{31} \text{ cm}^2\text{s}^{-1}$. Wird die hohe Luminosität durch einen entsprechend hohen Strahlstrom realisiert, steigt aber auch die Rate an Untergrundprozessen, die die Ereignisse von physikalischem Interesse bei weitem dominieren. In Tab. 2.1 sind einige bei HERA auftretende Prozesse mit ihren zugehörigen Wirkungsquerschnitten und Ereignisraten bei der nominalen Luminosität aufgeführt [H1 97b].

Strahl-Restgas-Wechselwirkung		50.000 s^{-1}
kosmisches μ im Barrel		700 s^{-1}
Photoproduktion	1,6 μb	25 s^{-1}
$e\bar{e}$ total	1 μb	15 s^{-1}
DIS ³ , kleines Q^2	150 nb	2,2 s^{-1}
DIS, hohes Q^2 (e im LAr-Kalorimeter)	1,5 nb	1,4 min^{-1}
DIS mit geladenem Strom, $p_t > 25 \text{ GeV}$	50 pb	3,0 h^{-1}
W^\pm -Produktion	0,4 pb	0,5 d^{-1}

Tab. 2.1.: Physikalische Prozesse bei HERA mit zugehörigen Wirkungsquerschnitten und Ereignisraten bei Entwurfsluminosität

Im H1-Wechselwirkungspunkt kreuzen sich die Teilchenpakete alle 96 ns. Im Mittel kommt es jedoch nur bei jeder tausendsten Strahlkreuzung zu einem ep -Streuergebnis. Trotzdem ist bei einer solchen Rate die Datenmenge wesentlich größer als zu speichern möglich und sinnvoll ist.

³ DIS steht für tiefinelastische Streuung

Das sogenannte Triggersystem⁴ hat die Aufgabe, die zahlenmäßig dominierenden Untergrundereignisse von physikalisch interessanten *ep*-Streuerereignissen zu unterscheiden und nur für die letzteren eine Speicherung der vom Detektor aufgenommenen Daten zu veranlassen. Eine Ausnahme bilden spezielle Datennahmeperioden⁵, die sogenannten *Cosmic Runs* und *Test Runs*. Sie dienen z.B. der Kalibrierung von Detektorkomponenten und verwenden spezielle Einstellungen des Triggersystems. Bei H1 werden die Ereignisraten, über deren Aufzeichnung entschieden werden soll, nacheinander von drei unabhängigen Triggerstufen L1, L2 und L4 reduziert. Diese Triggerstufen arbeiten synchron zur Datennahme („*Online*“). Abb. 2.7 zeigt schematisch den Datenfluß durch die Triggerstufen mit den zugehörigen Entscheidungszeiten sowie den Ein- und Ausgaberaten.

Die L1-Triggerstufe arbeitet totzeitfrei bei einer Frequenz von 10,4 MHz (HERA-Clock). Die Entscheidung ist um 2,5 μs verzögert, da die volle Triggerinformation über ein Ereignis erst nach etwa dieser Zeit vorliegt. So beträgt etwa die längste Driftzeit in den Driftkammern 1 μs und die Integrationszeit des LAr-Kalorimeter-Vorverstärkers 1,5 μs . Die für das Triggersystem relevanten Detektorinformationen werden bis zur Entscheidung von L1 in einer sogenannten *Pipeline* zwischengespeichert. Verschiedene Subdetektoren liefern Informationen für die L1-Triggerstufe. Diese werden als *Triggerelemente* bezeichnet.

Die Triggerelemente werden logisch miteinander zu 128 *Subtriggern* verknüpft. Jeder dieser Subtrigger ist in der Lage, eine positive Entscheidung über ein Ereignis in der ersten Triggerstufe auszulösen. Die Subtrigger können jedoch auch skaliert werden, so daß nur jede *n*-te positive Entscheidung eines Subtriggers einen Trigger auslöst, solange kein anderer Subtrigger aktiviert ist. Zu den Triggerelementen des L1-Triggers gehören:

- *z*-Vertex-Trigger: Die zentralen MWPCs⁶ CIP und COP sowie die erste MWPC des Vorwärts-Spurkammersystems dienen dazu, durch geometrische Verbindungen von Kathodensignalen ein Histogramm zu füllen, das anzeigt, ob die *z*-Koordinate des Vertex innerhalb der nominellen Wechselwirkungszone liegt (siehe [SE92]).
- Vorwärtsspurtrigger: Kathodensignale der vorderen MWPCs und CIP werden verwendet, um Spuren zu finden, die aus der Vertexregion stammen und in Vorwärtsrichtung weisen.
- CIP-Trigger: Weitere Triggerelemente werden von der CIP abgeleitet, unter anderem, um Ereignisse kosmischer Strahlung, die das Strahlrohr passieren, zu triggern.
- CJC-Trigger: Die zentrale Spurkammer CJC ergänzt den *z*-Vertex-Trigger, indem sie Spuren in der $\eta\phi$ -Ebene findet. Der Trigger erkennt die Krümmung der Spuren und kann Spuren mit hohen und tiefen Transversalimpuls unterscheiden.

⁴ Trigger = Auslöser

⁵ Die Perioden der Datenaufnahme werden allgemein als *Run* bezeichnet.

⁶ Multi Wire Proportional Chamber

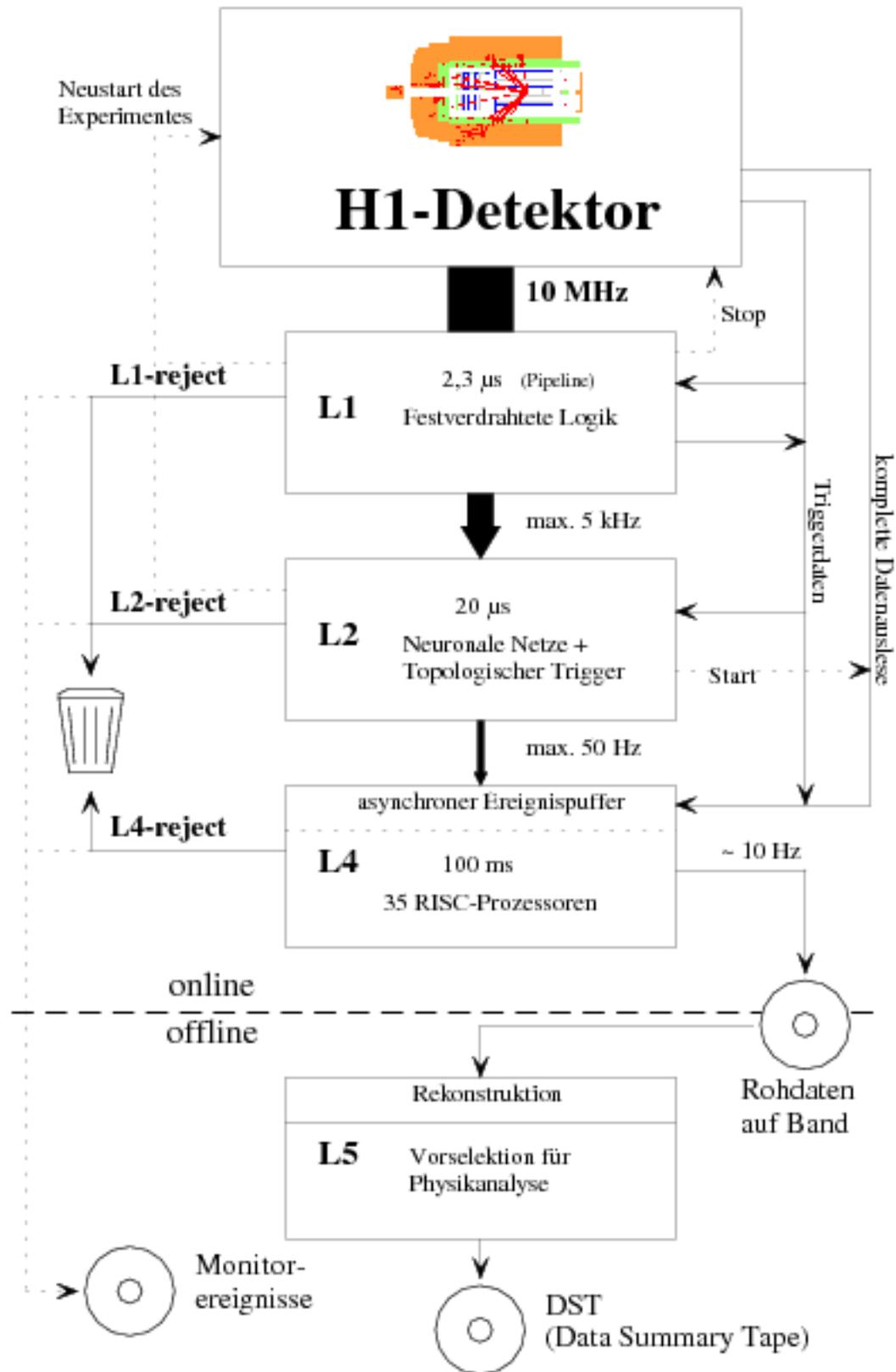


Abb. 2.7: Schema der Triggerstufen des H1-Triggersystems mit zugehörigen Entscheidungszeiten sowie Ein- und Ausgabegeräten

- z-Kammern: Die Driftkammern CIZ und COZ erkennen auf ähnliche Weise wie der z-Vertex Trigger, ob ein Ereignis in der Wechselwirkungszone stattgefunden hat oder ob es sich um ein Untergründereignis aus Richtung des Protonstrahls handelt.
- Flugzeitsystem: Die Flugzeitinformationen werden von verschiedenen Detektor-komponenten geliefert. Sie werden verwendet, um festzustellen, ob ein Ereignis synchron oder asynchron zu einer Strahlkollision stattgefunden hat.
- LAr-Kalorimeter-Trigger: Die Zellen des Flüssigargonkalorimeters werden entlang θ und ϕ in sogenannte „Trigger Tower“ eingeteilt. Diese lösen einen Trigger aus, wenn die in ihnen aufsummierte Energie einen Schwellwert überschreitet.
- SpaCal-Trigger: Das SpaCal unterscheidet durch Flugzeitmessung Ereignisse, die während oder außerhalb der nominellen Strahlkreuzung stattfinden. Ähnlich wie beim Flüssigargonkalorimeter werden die Kalorimeterzellen zusammengefaßt. Deren aufsummierte Energie muß über einem Schwellwert liegen, um einen Trigger auszulösen. Sowohl der elektromagnetische als auch der hadronische Teil liefern Triggerinformationen.
- Myonsystem: Fünf der 16 Lagen des instrumentierten Eisens werden zu Triggerzwecken ausgelesen. Für jedes Modul können verschiedene Koinzidenzbedingungen von aktivierten Lagen gewählt werden, die ein Trigger auslösen.

Eine positive Entscheidung der Triggerstufe L1 stoppt die Pipeline und führt eine Entscheidung der nächsten Stufe L2 herbei. Die Triggerstufe L2 benutzt topologische Informationen und neuronale Netzwerke zur Entscheidungsfindung. In diesem Falle ergibt sich eine Totzeit für die Datennahme, in der die folgenden Triggerstufen arbeiten. Fällt auch die Entscheidung von L2 positiv aus, wird die Pipeline ausgelesen, anderenfalls wird sie zurückgesetzt. L4 verifiziert diese Entscheidung durch eine schnelle, reduzierte Ereignisrekonstruktion.

Eine positive Entscheidung der Triggerstufe L4 führt zu einer Aufzeichnung der Detektordaten. Zusätzlich wird 1% der von L4 verworfenen Ereignisse zu Monitorzwecken aufgezeichnet. Die aufgezeichneten Detektordaten, auch Rohdaten genannt, werden von einem als L5 bezeichneten Computersystem (Silicon Graphics Challenge) rekonstruiert. Die Ergebnisse dieser Ereignisrekonstruktion sind nach Detektorkomponenten oder abgeleiteten physikalischen Parametern (z.B. Winkel, Startpunkt und Krümmung von Spuren im Spurkammersystem, in Kalorimeterzellen deponierte Energien von Elektronen oder Hadronen, errechnete Vertexpositionen, usw.) gegliedert. Die von L5 durchgeführte Rekonstruktion wird unabhängig von der Datennahme durchgeführt („Offline“).

2.4. Das H1-2000-Upgrade Projekt

Das Bestreben, die zur Zeit bestehenden Experimente sensibler auf Physik außerhalb des Standardmodels zu machen bzw. zu immer höheren Q^2 oder größeren Transversalimpulsen zu gelangen, führte zu dem Beschluß, die Luminosität von HERA im Jahr 2000 auf das Fünffache des jetzigen Wertes zu erhöhen. Diese Erhöhung wird durch einen größeren Protonenstrom und eine bessere Fokussierung der beiden Strahlen realisiert. Eine Verbesserung der Fokussierung am Wechselwirkungspunkt wird dadurch erreicht, indem man die Quadropolmagnete für die Strahltrennung bzw. Strahlzusammenführung näher an

den Kreuzungspunkt bringt. Dies bedeutet aber, daß sich die Strahlmagnete dann im H1-Detektor befinden und die beiden e^+ - und p -Strahlen (*Beam*) unter einem größeren Winkel im Wechselwirkungspunkt schneiden. Daher muß auch der innere Teil des H1-Detektors erheblich umgebaut werden. Um nahe genug an den *Beam* heranzukommen, wird das jetzige Strahlrohr (*Beampipe*) im Wechselwirkungsbereich durch ein ovales Strahlrohr ersetzt. Weiter muß die Abschirmung der Synchrotronstrahlung komplett überarbeitet werden. Auch das Kühlsystem und das Luminositäts-System müssen den neuen Verhältnissen angepaßt werden. Im Zuge des Upgrades werden auch Veränderungen an einzelnen Detektorkomponenten durchgeführt, die nachfolgend beschrieben werden. Eine ausführliche Beschreibung der Komponenten und ihrer derzeitigen Aufgaben ist in [H1 97b] beschrieben.

- **Central silicon tracker (CST), backward silicon tracker (BST)**

Der CST wird der neuen ovalen Geometrie des Strahlrohres angepaßt. Für den Umbau können die vorhandenen Detektormodule wiederverwendet werden. Bei einer späteren Analyse der Daten kann die genauere z -Bestimmung der CIP dazu verwendet werden, die dreifache Ambiguität des CST aufzulösen.

Der BST wird mit weiteren ϕ -Detektoren ausgestattet und ebenfalls der ovalen Beampipe angepaßt.

- **Central jet chamber (CJC)**

Die beiden Jetkammern (CJC1 und CJC2) werden mit einer schnelleren Ausleseelektronik ausgestattet. Mit dieser neuen Elektronik soll es möglich sein, die Information der invarianten Masse bereits nach $20 \mu\text{s}$ für den L2-Trigger zur Verfügung zu stellen. Bisher konnte die invariante Masse erst vom L4-Trigger berechnet werden.

- **Central outer z-chamber (COZ), central inner z-chamber (CIZ)**

Aufgrund des geringen Abstandes der CIZ zum Strahlrohr gibt es zur Zeit große Probleme mit Alterungsprozessen. Daher wird die CIZ ausgebaut; der CST übernimmt die Aufgabe der CIZ. An der COZ werden keine Veränderungen vorgenommen.

- **Central inner proportional chamber (CIP)**

Der z -Vertex-Trigger soll verbessert werden, um so eine bessere Akzeptanz für sehr flache Spuren in Vorwärts- und Rückwärtsrichtung zu bekommen. Dies erlaubt auch eine bessere Erkennung von Protonstrahl-Untergrundereignissen, die einen Vertex außerhalb des H1-Detektors haben. Gleichzeitig gewinnt man Sensitivität für „low“ Q^2 -Physik, bei der das Elektron unter einem flachen Winkel rückwärts gestreut wird, und Ereignisse mit Spuren in Vorwärtsrichtung. Dies wird durch eine Spurfindung durch fünf statt zwei Lagen erreicht.

Mit dem Upgrade wird die Anzahl der Pads in z -Richtung von 60 auf 120 verdoppelt. Dies ist notwendig, um die dreifache Ambiguität des CST aufzulösen. Diese Aufgabe wurde vorher von der CIZ wahrgenommen.

- **Forward track detector (FTD)**

Da die neue CIP auch Spuren im Vorwärtsbereich triggern kann, werden die MWPC im Vorwärtsdetektor nicht mehr benötigt. An ihre Stelle werden weitere

planare Driftkammern eingebaut, um so eine bessere Spurauflösung in Vorwärtsrichtung zu bekommen.

2.4.1. Die alte CIP-Kammer

Die CIP ist eine zwei Meter lange, zylindrische Vieldrahtproportionalkammer. Die zur Zeit eingebaute Kammer besteht aus zwei übereinanderliegenden Lagen mit einer achtfachen Segmentierung in ϕ . Jeder Sektor hat 60 Pads in z -Richtung. Die beiden Kammerlagen sind gegeneinander um ein halbes Segment verschoben (entspricht $22,5^\circ$), so daß diese Anordnung einer 16-fachen Segmentierung gleichkommt. Die beiden Kammern wurden in einer Art „Sandwich-Bauweise“ aus dünnen Metallschichten aufgebaut. Als Abstandsmaterial wurde Rohacell verwendet.

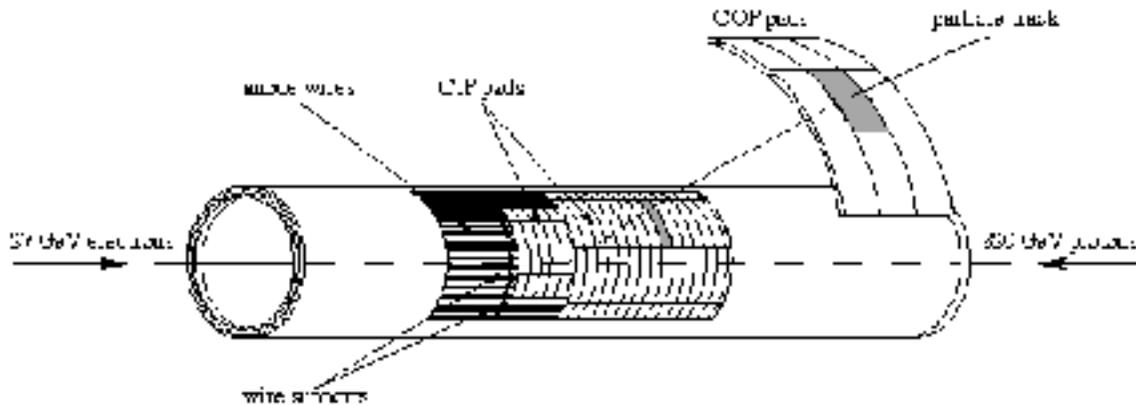


Abb. 2.8: Spurrekonstruktion durch aktivierte Pads in der CIP und der COP [HB96]

Wie bereits erwähnt, ist die Hauptaufgabe der CIP die Lieferung der z -Vertex-Information für den L1-Trigger von H1. Abb. 2.8 zeigt einen Ausschnitt der CIP und der COP sowie die Spurrekonstruktion zwischen aktivierten Pads beider Detektoren. Das Prinzip der z -Vertex-Bestimmung wird in Abb. 2.9 gezeigt. Aus den aktivierten Pads der CIP, COP und der ersten MWPC des Vorwärtsdetektors werden alle möglichen Spuren berechnet und in Richtung der Strahlachse extrapoliert. Alle Spuren, die im Bereich zwischen $z = +43,9$ cm und $z = -43,9$ cm die Strahlachse schneiden, werden in einem Histogramm aufaddiert. Ein signifikanter Peak in diesem Histogramm liefert die z -Position des Kollisionsvertex.

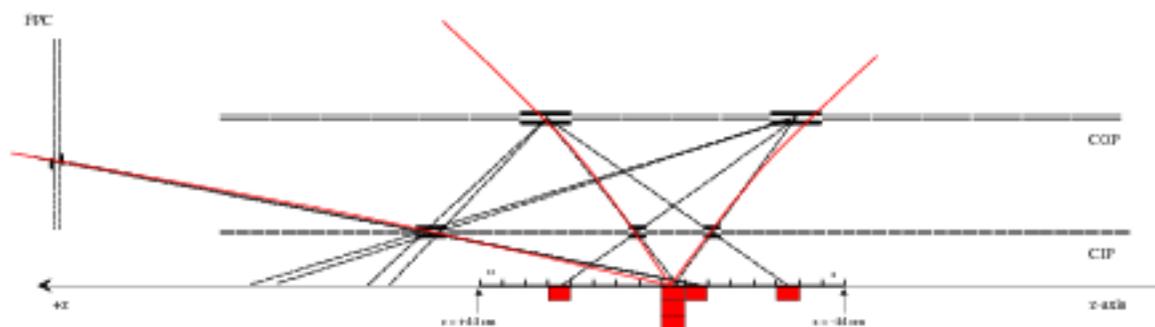


Abb. 2.9: Histogrammbildung bei der z -Vertex-Bestimmung [HB96]

Der Aufbau der beiden Kammerlagen ist gleich. Die CIP ist radialsymmetrisch aufgebaut und wird nachfolgend kurz von der innersten zur äußersten Lage beschrieben.

Jede Kammer besteht aus einem 6 mm dicken Gasvolumen. Dieses wird von innen durch eine Aluminiumfolie als Kathode und von außen mit einer hochohmigen Kohleschicht begrenzt. Darauf folgt eine 20 μm dicke Kaptonfolie, auf der die Kathodenpads aufgebracht sind. Diese werden durch die darüberliegende 2 mm dicke Rohacellschicht mit den Aluminium-Auslesedrähten verbunden. Als letzte Schichten folgen dann eine 20 μm dicke Kaptonfolie, eine 0,5 μm dicke Aluminium-Abschirmung und eine 1 mm dicke Rohacellschicht. In der Mitte des Gasvolumens sind vergoldete Wolframdrähte gespannt, die als Anode benutzt werden. Eine genau Beschreibung der CIP kann man in [KM92] und [MK98] nachlesen.

2.4.2. Die neue CIP-Kammer

Die Anforderungen an die neue CIP-Kammer wurde bereits in den vorherigen Abschnitten erläutert. Die Anzahl der Kammerlagen wird von zwei auf fünf erhöht, die Anzahl der Pads in z -Richtung von 60 auf 120 verdoppelt sowie eine einheitliche 16-fache Segmentierung eingeführt.

Der Aufbau der einzelnen Kammerlagen bleibt prinzipiell unverändert. Die Dicke des Gasvolumens von 6 mm, mit einem goldbeschichteten Wolframdraht in der Mitte, wird beibehalten. Die hochohmige Kohleschicht und die Kaptonfolie wird ebenfalls unverändert übernommen. Nur die Größe der darüberliegenden Kupferpads wird der neuen Padanzahl angepaßt. Die Auslesedrähte der alten Kammer werden in der neuen Version durch eine sogenannte Stripline ersetzt, die sich über den Auslesepad und einer Rohacellschicht befindet. Darüber folgt eine weitere Lage Rohacell. In Abb. 2.10 wird der Aufbau der neuen CIP-Kammerlage gezeigt.

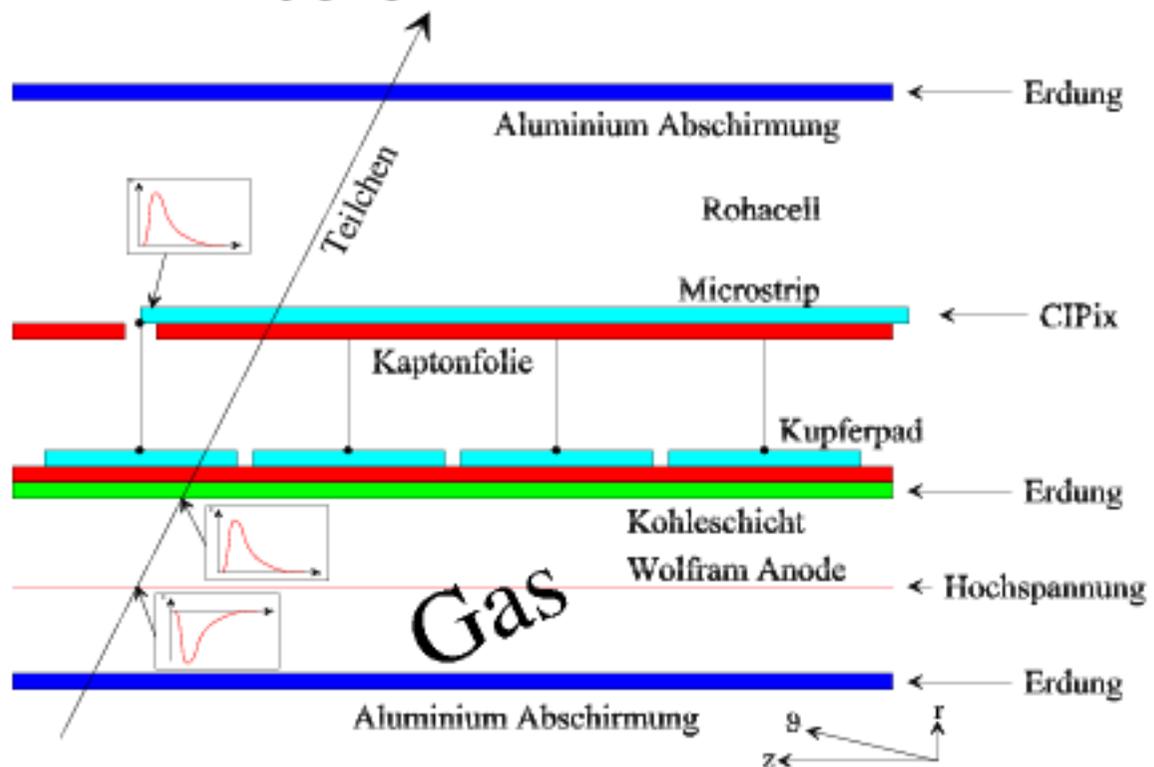


Abb. 2.10: Prinzipieller Aufbau einer Kammerlage der neuen CIP [MK98]

Im Rahmen des CIP-Upgrade-Projektes wird die komplette Ausleseelektronik neu entwickelt. Hierzu zählt auch ein Verstärker- und Trigger-ASIC⁷, der im Rahmen dieser Diplomarbeit in Zusammenarbeit mit Daniel Baumeister entwickelt und getestet wurde. Die Ausleseelektronik befindet sich an der „z“-Seite der Kammer (Abb. 2.10, CIPix).

⁷ ASIC: siehe Kapitel „Entwicklung der Ausleseelektronik“, Seite 17

3. Entwicklung der Ausleseelektronik

Das CIP-Upgrade-Projekt beinhaltet nicht nur den Ausbau des Detektors, sondern auch eine Neuentwicklung der Verstärkerelektronik. Diese soll in einer relativ kurzen Zeit entwickelt werden und für Testzwecke einsatzbereit sein. Mit der neuen Kammer vergrößert sich die Anzahl der auszulesenden Pads um den Faktor 10 auf ca. 9.600 Pads. Da für jedes Pad ein eigener Verstärker mit einem nachgeschalteten Komparator notwendig ist, zeigt sich relativ schnell, daß hierfür ein beachtlicher Platzbedarf benötigt wird. Für solche Elektronikprobleme auf kleinstem Raume entwickelt man anwendungsspezifische integrierte Schaltungen, sogenannte ASICs (*Application Specific Integrated Circuit*). Diese werden von dem Anwender entwickelt, d.h. man entwirft eine elektrische Schaltung, simuliert diese und zeichnet danach das Layout des ASICs. Von einem Halbleiterhersteller wird anschließend ein einzelner integrierter Schaltkreis aus dem Layout realisiert. Eine ausführliche Beschreibung der einzelnen Entwicklungsstufen wird in den nachfolgenden Kapitel gegeben.

Da in der heutigen Physik immer öfter kleine, elektrische Schaltungen in Form von ASICs benötigt werden, entschieden sich 1994 das Max-Planck-Institut für Kernphysik (MPI-K), das Institut für Hochenergiephysik (IHEP) und das Physikalische Institut der Universität Heidelberg zur gemeinsamen Gründung eines ASIC-Labors. In diesem Labor wurde von Mitgliedern des MPI-K und des Physikalischen Instituts in den letzten Jahren ein Auslesechip für das HERA-B Experiment entwickelt. Dieser Auslesechip wird für den Vertexdetektor und die Mikrostreifengaskammern (MSGC) des inneren Spurkammersystems eingesetzt und trägt den Namen HELIX 128-2.2. Er besteht aus 128 ladungsempfindlichen, rauscharmen Vorverstärkern, einem analogen Zwischenspeicher sowie einem Multiplexer, der die auszulesenden analogen Daten zeitlich hintereinander ausgibt. Zusätzlich befindet sich hinter jedem der Vorverstärker ein Komparator, der bei Überschreiten einer Referenzspannung ein digitales Triggersignal ausgibt [ES97].

Um den Entwicklungsaufwand der neuen CIP-Ausleseelektronik so gering wie möglich zu halten, verzichtete man auf eine komplette Neuentwicklung der Verstärkerelektronik. Statt dessen sollte nun überprüft werden, inwieweit man bisherige Komponenten des HELIX dazu verwenden kann, einen neuen ASIC für das CIP-Upgrade-Projekt aufzubauen.

3.1. Anforderungen an den Auslesechip

Zunächst wurde in verschiedenen Arbeitsmeetings im ASIC-Labor festgelegt, welche Eigenschaften der neue Chip besitzen muß. Die Arbeitsgruppe entschied sich in diesem Stadium für den Namen *CIPix*, der diesen Auslesechip in Zukunft bezeichnen sollte. Eine Spezifikationsbeschreibung des *CIPix* wurde für die gesamte CIP-Upgrade-Gruppe erstellt [CIP98a].

Demnach sollte der CIPix, genauso wie der HELIX, in einem $0,8\ \mu\text{m}$ -CMOS⁸ Prozeß von *Austria Mikro Systeme* (AMS) aus Österreich gefertigt werden und folgende Komponenten enthalten:

- Der CIPix besteht aus 64 Eingangskanälen, von denen jeder aus einem rauscharmen, ladungsempfindlichen Vorverstärker, einem CR-RC Pulsformer und einem Komparator aufgebaut ist.
- Der Vorverstärker (*Preamplifier*) liefert ein Ausgangssignal von ca. $50\ \text{mV}$ pro 10^5 Elektronen. Dieses Signal wird dann in dem nachgeschalteten Pulsformer (*Shaper*) zu einem semigaußförmigen Impuls umgewandelt, wobei die Scheitelzeit, die durch die HERA-Clock gegeben ist, zwischen 50 und $70\ \text{ns}$ betragen soll. Der Komparator trifft anschließend die Entscheidung, ob am Eingang eines Kanals ein Signal gesehen wurde; bei einer positiven Entscheidung gibt der Komparator ein digitales Logiksignal aus. Die Samplingfrequenz (*Sclk*) des Komparators muß $10,4\ \text{MHz}$ (HERA-Clock) betragen, der anschließende Multiplexer, der je vier Kanäle zusammenfaßt, muß mit der vierfachen HERA-Clock (*Rclk* = $41,6\ \text{MHz}$) die Daten an die 16 Digitalausgänge weiterleiten. Abb. 3.1 zeigt das Blockschaltbild des CIPix 1.0. Der Signalverlauf eines einzelnen Kanals läßt sich hier von der angeschlossenen CIP-Kammer (*AnalogIn* links) bis zur digitalen Ausgabe (*DigitalOut* rechts) verfolgen.
- Die Programmierung der intern benutzten Spannungen und Ströme für die einzelnen Komponenten (vgl. Abb. 3.1) erfolgt über eine Standardschnittstelle, die relativ einfach im Anschluß und in der Programmierung ist. Der Inhalt der internen Register des CIPix kann, im Gegensatz zum HELIX, über die Schnittstelle ausgelesen werden, so daß die programmierten Werte nachträglich kontrolliert werden können. Nach reiflichen Überlegungen und Vergleich von mehreren Schnittstellen entschied sich die Arbeitsgruppe für eine I²C-Bus-Schnittstelle [I²C98].

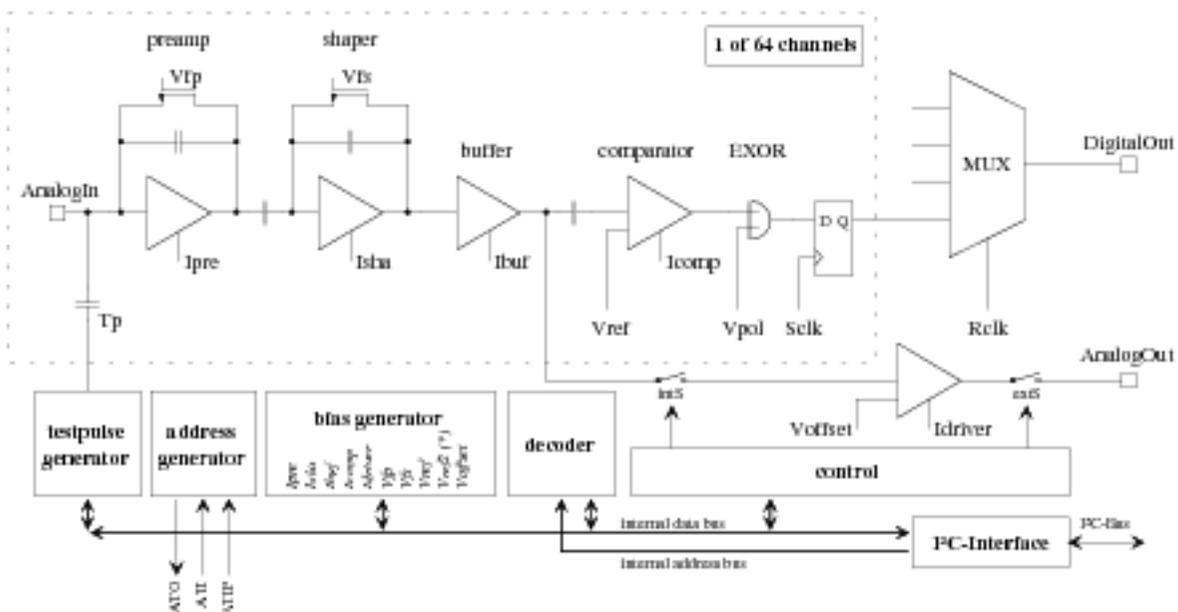


Abb. 3.1: Blockdiagramm des CIPix 1.0

⁸ Complementary Metal-Oxid-Semiconductor

- Der Abstand der Eingangsanschlüsse für die Kammersignale wird $100\ \mu\text{m}$ betragen, alle anderen Pads werden untereinander einen Abstand von $200\ \mu\text{m}$ haben. Um den CIPix gut anschließen zu können, werden die Eingangspads in zwei zueinander versetzten Reihen angeordnet.

3.1.1. Anforderung der CIP-Kammer an den CIPix und umgekehrt

Da der Vorverstärker ein Ladungsverstärker ist, treten beim Anschluß des CIPix an die neue CIP zwei Probleme auf: das Rauschen des Vorverstärkers und die Eingangsimpedanz des CIPix.

Ladungsempfindliche Verstärker haben die Eigenschaft, daß ihr Rauschen proportional zur externen Lastkapazität ansteigt. Dieses Verhalten wurde durch Messungen an dem Verstärker des HELIX 2.0 von Ulrich Trunk bestätigt und ergaben einen Durchschnittswert für das Rauschen von $380\ e^- + 38\ e^-/\text{pF}$ [UT98] für den HELIX 2.0 Verstärker. Dies bedeutet, daß bei der Entwicklung der CIP-Kammern die Lastkapazität, die im wesentlichen durch die bis zu zwei Meter langen Leitungen verursacht wird, möglichst klein gehalten werden muß. Ansonsten würde das Verhältnis des Signals zum Rauschen zu klein werden. Eine erste Modellrechnung an einer für die Signale optimierten CIP ergab für ein Pad, das zwei Meter vom CIPix entfernt sein würde, eine Kapazität von ca. $200\ \text{pF}$. Dies würde ein Rauschen von ca. 9% der in der Simulationen injizierten Ladung bedeuten. Wie später in Simulationen mit unterschiedlichen Lastkapazitäten gezeigt wird, nehmen die Ausgangssignale des Vorverstärkers mit steigender Kapazität ab und werden flacher. Dies kann zu Einstellungsproblemen führen, da für kleine Triggerschwellen der Trigger mehrere Bunchcrossing-Perioden ansprechen wird. Ein maximaler Wert für die Eingangslastkapazität wurde mit $50\ \text{pF}$ festgelegt.

Um den Vorverstärker des HELIX übernehmen zu können, mußte die Lastkapazität der CIP gegenüber den ersten Modellrechnungen drastisch gesenkt werden. Ein detaillierte Beschreibung über die Möglichkeiten der Kapazitätsminderung ist in [MK98] aufgezeigt.

Das Problem der Fehlanpassung des CIPix an die Leitungsimpedanz tritt vor diesen Ergebnissen in den Hintergrund. Da sich die Signale relativ schnell durch die Kammer bewegen, wird ein Signal, das am CIPix-Eingang reflektiert wird, spätestens nach $22\ \text{ns}$ dort wieder ankommen. Gemeinsame Simulationen mit Michael Kollak im ASIC-Labor haben gezeigt, daß auch bei einer massiven Fehlanpassung keine Probleme beim *Frontend* (*Preamplifier, Shaper, Buffer*) mit diesen reflektierten Signalen auftreten.

3.2. CMOS-Technologie

Bei dem für die Herstellung des CIPix verwendeten $0,8\ \mu\text{m}$ -CMOS Prozeß von AMS stehen dem Entwickler im wesentlichen zwei Metallagen, zwei Polysiliziumschichten und Diffusionszonen zur Verfügung. In der CMOS-Technologie lassen sich elektrische Schaltungen mit Kondensatoren, Transistoren und Widerständen verwirklichen. Passive Bauteile, wie z.B. Kapazitäten, können aus den beiden Polysiliziumschichten aufgebaut werden. Als Dielektrikum zwischen den beiden Schichten wird eine Oxidschicht verwendet. Niederohmige Widerstände werden durch Polysiliziumschichten realisiert. Hochohmige Widerstände müssen aufgrund des großen Flächenbedarfs der Polysilizium-

widerstände durch sogenannte *n-well*-Widerstände oder durch Transistoren ersetzt werden. In der CMOS-Technologie können keine Induktivitäten hergestellt werden.

Neben den in der CMOS-Technologie üblichen n- und p-MOS Feldeffekttransistoren (FET) stehen in dem verwendeten Herstellungsprozeß noch ein HV-n-MOS Feldeffekttransistoren sowie zwei parasitäre pnp-Bipolar-Transistoren zu Verfügung.

Für den CIPix wurden nur n-MOS und p-MOS FETs für Schalter und Verstärker verwendet, da diese sich durch ihre geringere Leistungsaufnahme bei kleineren Frequenzen, im Gegensatz zu in bipolarer Technologie hergestellten Transistoren, besonders gut eignen. Nur in den Ausgangsstufen der Pads wurden auch HV-n-MOS Transistoren verwendet.

Bei den Feldeffekttransistoren unterscheidet man zwischen n- und p-Kanal MOSFETs. Ein n-Kanal MOSFET (Abb. 3.2) besteht aus einem *Gate*, das als Metall- oder als Polysiliziumschicht realisiert sein kann. Das *Gate* ist von dem Siliziumsubstrat (*Bulk*, p-dotiert) durch eine Oxidschicht getrennt, an der sich zwei Diffusionszonen mit hoher n-Dotierung anschließen (*Source* und *Drain*). Bei einem p-Kanal MOSFET (Abb. 3.3) sind *Source* und *Drain* p-dotiert, das Substrat n-dotiert.

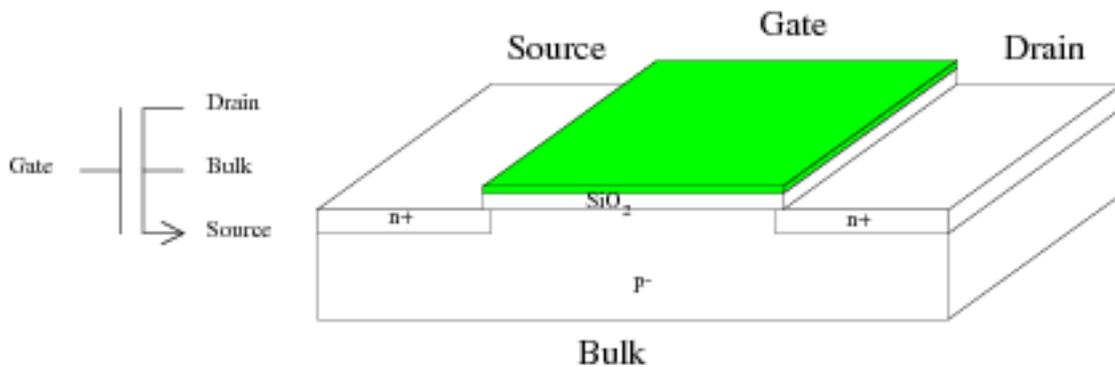


Abb. 3.2: n-MOS-Transistor

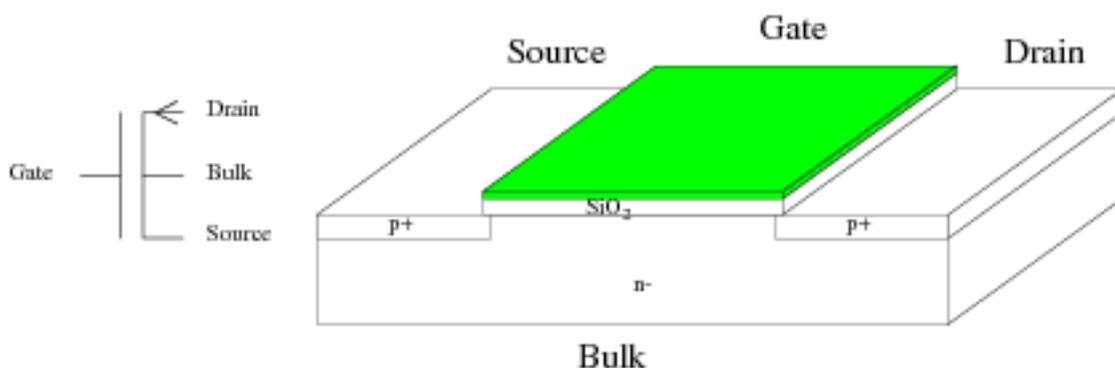


Abb. 3.3: p-MOS-Transistor

Falls keine Spannung zwischen *Source* und *Drain* angelegt wird, fließt zunächst kein Strom, da es sich um zwei pn-Übergänge handelt, von denen jeweils einer in Sperrrichtung geschaltet ist. Legt man allerdings eine positive Spannung an das *Gate* und eine positive Spannung zwischen *Source* und *Drain*, so sammeln sich negative Ladungsträger unter der Siliziumoxidschicht, und es kommt zu einer Ladungsträgerinversion. Dies bedeutet, daß sich der p-dotierte Bereich wie ein n-dotierter verhält. Dadurch fließt ein Strom zwischen *Source* und *Drain*, der über die Gatespannung geregelt werden kann.

Um n-Kanal und p-Kanal-Transistoren auf dem gleichen Substrat unterzubringen, benötigt man, wie in Abb. 3.4 dargestellt, sogenannte *Wannen* (*wells*). Diese Wannen sind bei einem p-dotierten Substrat n-dotiert. In einer solchen Wanne kann dann ein n-Kanal-Transistor eingebaut werden.

In Abb. 3.5 sind verschiedene Kennlinien eines n-MOS-Feldeffekttransistors dargestellt. Aufgetragen ist der Drainstrom (I_D) des Transistors gegen die Spannung zwischen *Source* und *Drain* (V_{DS}) für verschiedene Gatespannungen (V_{GS}). Man unterscheidet bei den Kennlinien zwischen dem linearen Bereich und dem Sättigungsbereich. Befindet sich der Transistor im Sättigungsbereich, so sind alle freien Ladungsträger in der Inversionsschicht am Stromtransport beteiligt.

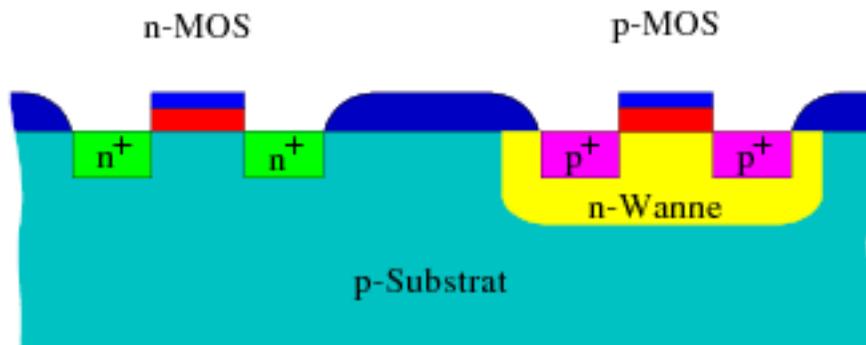


Abb. 3.4: Schnitt durch ein n- und p-MOS-Transistor

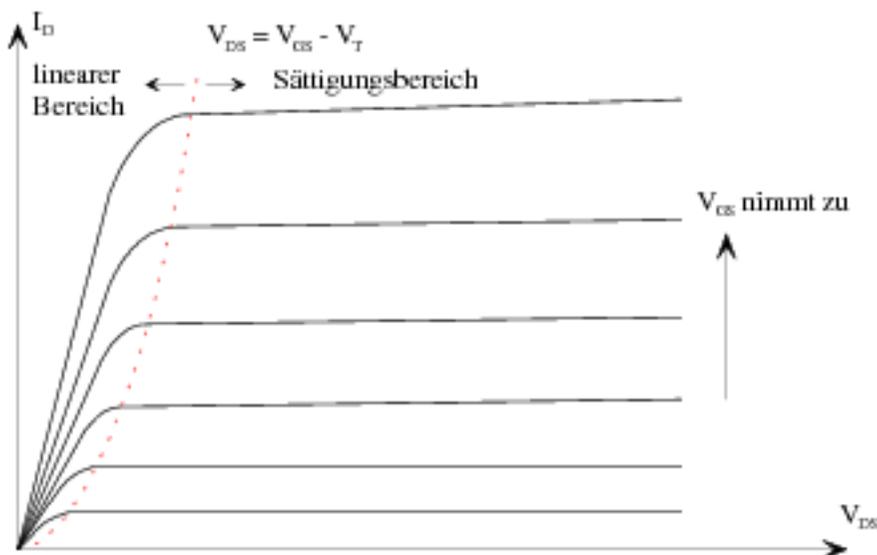
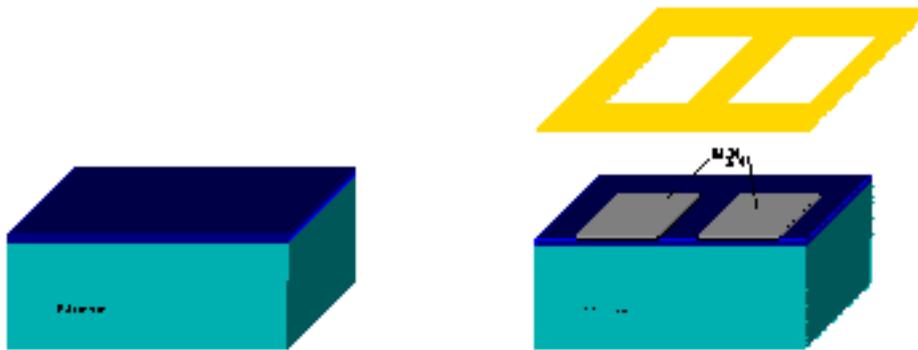


Abb. 3.5: Kennlinien eines n-MOS-Feldeffekttransistors

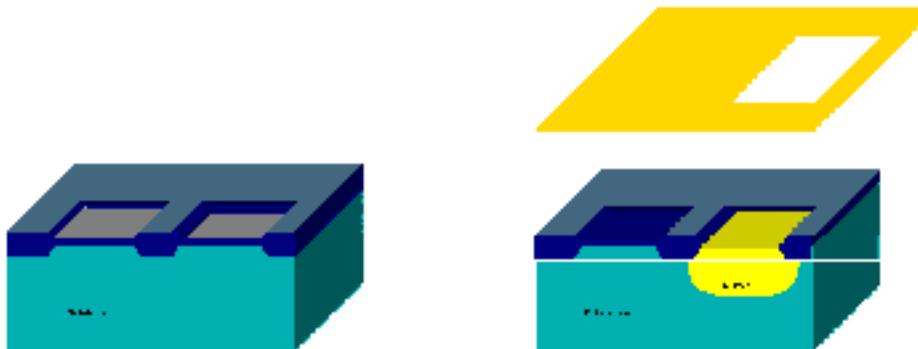
3.2.1. CMOS-Produktionsprozess

Nachfolgend wird der CMOS-Herstellungsprozess beschrieben (Abb. 3.6 a-h). Es wird jedoch nur auf die wesentlichen Produktionsschritte und Produktionslagen eingegangen. Bei dem Produktionsverfahren, in dem der CIpIX gefertigt ist, werden weitere Lagen benötigt.

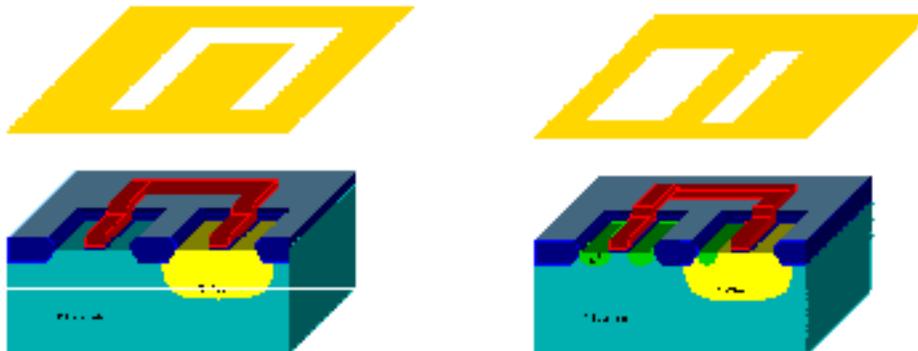
Abb. 3.6a-h: Der CMOS-Produktionsprozess [MK98b]



Der CMOS-Prozess beginnt mit der Oxidation des Wafers. Auf die entstandene Schicht wird eine dünne Lage Siliziumnitrid aufgebracht. Über eine Maske werden die aktiven Gebiete definiert.



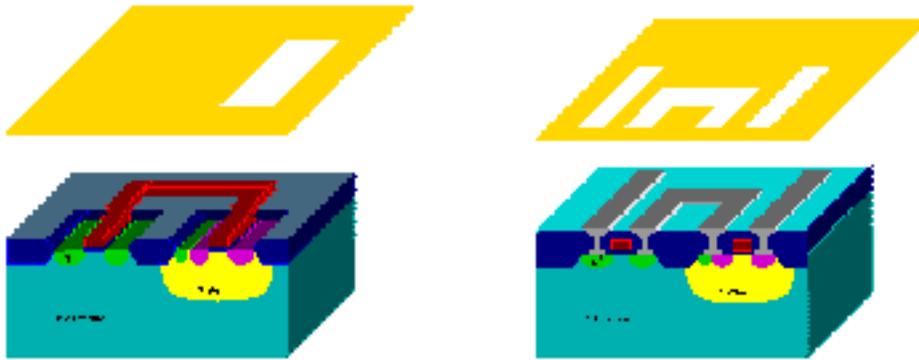
Danach wird der Wafer in einer Sauerstoffatmosphäre erhitzt. Es bildet sich das Feld Oxid. Mit einer weiteren Maske werden die Gebiete für die p-MOS Transistoren geöffnet. In diesen Gebieten werden die n-Wannen implantiert.



In einem weiteren Schritt wird polykristallines Silizium aufgebracht und geätzt. Die entstehenden Strukturen werden für die Gates der Transistoren sowie für kurze Verbindungen auf dem Chip benutzt.

Eine weitere Maske definiert die Gebiete der n-Diffusion für die Source-, Drain- und Wannen-Kontakte.

- Metall (Al)
- Poly Si
- SiO₂
- N⁺ Diffusion
- P⁺ Diffusion
- N Well
- P Substrate



Als nächstes werden die Gebiete für die p-Diffusion definiert. In weiteren Prozessschritten werden die Kontakte und die Metallisierungen aufgebracht.

3.3. CAD- und Simulationsprogramm

Im ASIC-Labor wird die Entwicklungssoftware *Cadence* benutzt. Sie umfaßt mehrere Unterprogramme, die alle Bereiche der ASIC-Entwicklung abdecken. Für die Erstellung von Schaltplänen wurde der *Schematic Composer* benutzt. Es stehen hier verschiedene Bibliotheken zur Verfügung, die alle benötigten elektrischen Bauteile beinhalten (von Widerständen, Kondensatoren, Transistoren bis hin zu komplexeren Schaltungen).

Für die Simulation der elektrischen Schaltungen stehen mehrere Simulationstools zur Verfügung. Im Rahmen des CIPix wurden jedoch nur die beiden Tools *Analog Artist* und *SpectreS* benutzt. Die Simulation bestand üblicherweise aus einer *Transient Analysis*, bei der das elektrische Verhalten der Schaltung über einen Zeitraum von einigen zehn Nanosekunden bis hin zu einigen Mikrosekunden berechnet wurde. Als Rechengenauigkeit wurde für Simulationen des Frontends die Voreinstellung *Conservative* benutzt. Dies bedeutet eine absolute Genauigkeit von 10^{-12} in der Berechnung der Ströme, von absolut 10^{-6} bei der Berechnung der Spannungen und einer relativen Genauigkeit von 10^{-4} . Bei Simulationen von digitalen Schaltungen konnte eine geringere Genauigkeit gewählt werden, da es hier nicht so sehr auf das genaue analoge Verhalten zwischen zwei Digitalübergängen ankam. Der Vorteil von einer geringeren Genauigkeit ist die enorme Reduzierung der Simulationszeit.

Das Simulationsprogramm ermittelt dynamisch, in welchen Zeitabständen (*Ticks*) der nächste Simulationsschritt berechnet werden muß, d.h., das Programm erkennt selbständig, ob sich ein Zustand in der Schaltung verändert. Bei großen Veränderungen werden die *Ticks* automatisch verkleinert.

Im Gegensatz zum *Schematic Composer*, in dem die elektrischen Schaltungen aus Symbolen aufgebaut werden, ist der *Layout Composer* ein leistungsstarkes Zeichenprogramm, mit dem die einzelnen elektrischen Bauteile „gezeichnet“ und plziert werden. In den Standardbibliotheken befinden sich bereits vorgefertigte Layouts, die direkt übernommen werden können. Häufig muß jedoch das Layout an die geometrischen Gegebenheiten (z.B. Platzmangel) angepaßt werden. Abb. 3.7 zeigt den typischen Layoutaufbau eines n-MOS und p-MOS-Transistors in Cadence. Die verschiedenen Farben stehen für die unterschiedlichen Layout-Lagen. Die Anordnung dieser Lagen definiert die Art des Bauteils und dessen Eigenschaften.

Bevor ein Layout submittiert⁹ werden kann, müssen in jedem Fall zwei weitere wichtige Tests durchgeführt werden. Beim *DRC (Design Rule Check)* wird die Einhaltung aller geometrischen Regeln überprüft, wie z.B. Mindestabstände, minimale Überlappungen oder auch Überlappungsverbote verschiedener Lagen. Der *DRC* kann in allen Hierarchiestufen des Layouts durchgeführt werden. Dies bedeutet eine enorme Zeitersparnis, da nur die veränderten oder neu gezeichneten Strukturen überprüft werden müssen. Letztendlich kann der gesamte Chip überprüft werden. Beim *LVS (Layout Versus Schematic Check)* wird überprüft, ob die aus Schaltplan und Layout gewonnenen Netzlisten identisch sind.

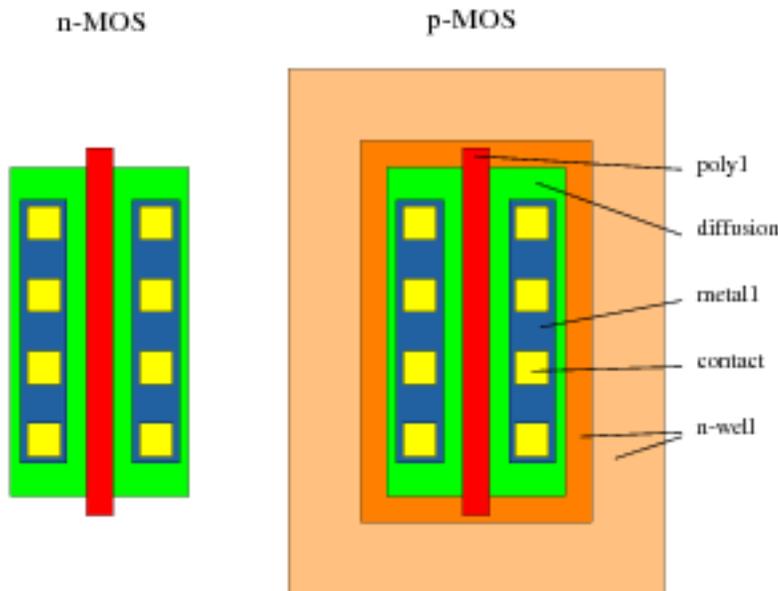


Abb. 3.7: Cadence-Layoutansicht eines n-MOS und p-MOS-Transistors

3.4. Frontend (Preamplifier, Shaper, Buffer)

Der beim HELIX verwendete Vorverstärker wurde hinsichtlich seines Rauschverhaltens, der Anstiegs- und Abfallzeit des Pulses, der Linearität, des Platzbedarfes auf dem ASIC und der Leistungsaufnahme pro Kanal für das HERA-B Experiment optimiert. Eine detaillierte Beschreibung des Vorverstärkers ist in [WFB98] zu finden.

3.4.1. Funktionsweise des Frontend

Abb. 3.8 zeigt das Blockschaltbild des Vorverstärkers. Man erkennt deutlich den mehrstufigen Aufbau des Verstärkers. Um komplexe elektrische Schaltungen übersichtlich darzustellen, werden die kleineren Teilschaltungen zu einem Symbol zusammengefasst. Die nächst größere Schaltung erhält ebenfalls ein eigenes Symbol, bis man schließlich ein einzelnes Symbol für die komplette Schaltung hat. In Abb. 3.9 ist das Schaltbild des Vorverstärkers im *Schematic Composer* von Cadence dargestellt. Man kann hier deutlich den dreiteiligen Aufbau von *Preamplifier*, *Shaper* und *Buffer* erkennen.

⁹ Das fertige Layout eines ASIC wird an einen Chip-Hersteller übermittelt, der die Produktion des ASIC übernimmt. Diesen Vorgang nennt man Submission.

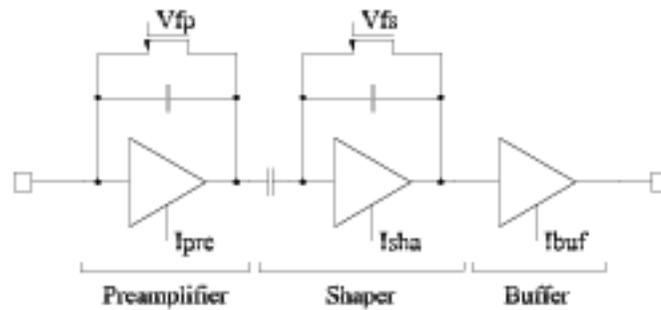


Abb. 3.8: Blockschaltbild der analogen Eingangsstufe

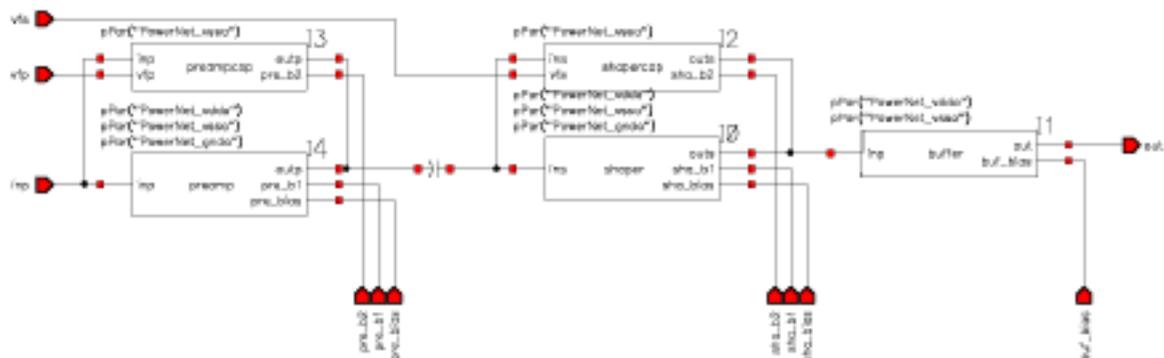


Abb. 3.9: Cadence-Schaltbild der analogen Eingangsstufe

Das CIP-Pad wird mit dem Eingang des *Preamplifiers* verbunden. Somit wird ein Ladungspuls, der von der CIP-Kammer auf das Pad eingekoppelt wird, von der Vorverstärker-Rückkoppelkapazität invertierend integriert. Nach einer Differentiation durch die Kapazität zwischen *Preamplifier* und *Shaper*, die zusammen mit dem Widerstand über der Rückkoppelkapazität des *Shapers* einen Hochpass bildet, wird das Signal erneut durch den *Shaper* invertierend verstärkt. Am Ausgang des *Shapers* liegt ein semigaußförmiges Signal an, dessen Amplitude proportional zu der im Vorverstärker integrierten Ladung ist. Die nachgeschaltete Treiberstufe (*Buffer*) erniedrigt den Innenwiderstand auf ca. 1.000 Ω .

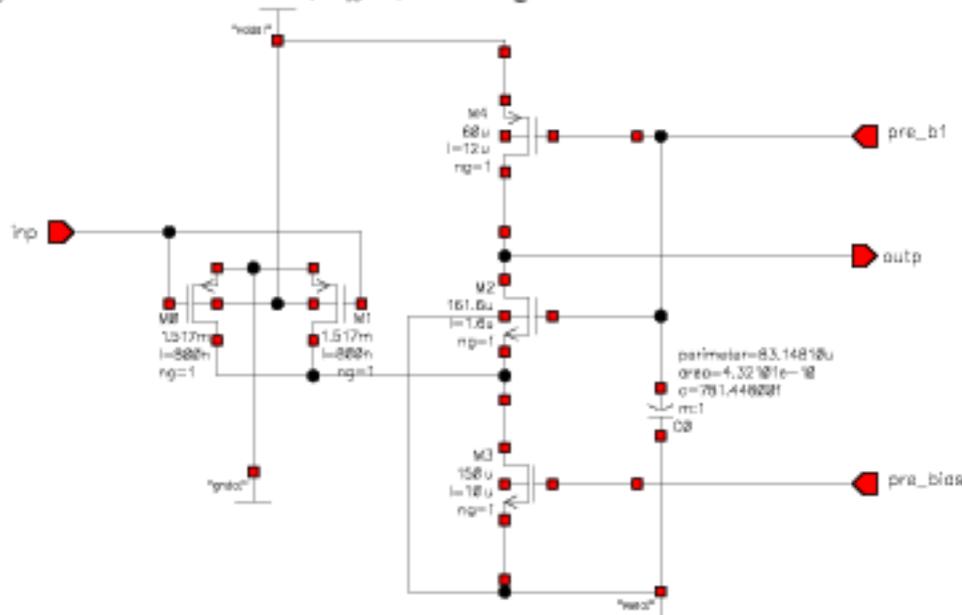


Abb. 3.10: Schaltplan des Preamplifiers

Die detaillierte Schaltung des *Preamplifiers* ist in Abb. 3.10, die Schaltung der Rückkoppelstufe des *Preamplifiers* in Abb. 3.11 dargestellt. Wie in dem Schaltplan des *Preamplifier* zu erkennen ist, wurde der Transistor *M2* im Signalpfad in Reihe zu den beiden parallel geschalteten Eingangstransistor *M0* und *M1* geschaltet. Die Ströme durch die einzelnen Transistoren sind nach

$$-I_{M0M1} + I_{M2} = I_{M3} = \text{const}$$

konstant. Daher bewirkt ein Signal am Eingang *inp* eine Stromänderung in *M0 / M1* und steuert so den Source von *M2*. Der Knoten von *M0 / M1*, *M2* und *M3* erfährt daher keine Spannungsänderung bei einer Aussteuerung (und somit kein Millereffekt an *M0 / M1*, auch Kaskodenprinzip genannt). Der Abfall des Ausgangssignals geschieht über den Transistor *M4*, der als Arbeitswiderstand der Kaskodenschaltung dient und mit der Gatespannung *pre_b1* variiert werden kann. *M3* hat die Funktion einer Konstantstromquelle, die mit der Spannung *pre_bias* eingestellt wird.

In der Rückkoppelstufe des *Preamplifiers* (Abb. 3.11) verursachen die beiden Transistoren *M0* und *M1* einen Spannungsoffset am Ausgang. Um den Verstärker bei mehreren aufeinanderfolgenden Pulsen nicht in den Sättigungsbereich zu bringen, hat der als Rückkoppelwiderstand wirkende Transistor *M2* die Aufgabe, die Kapazität *C0* zu entladen. Der Entladewiderstand wird durch die Gatespannung *Vfp* eingestellt.

Der *Shaper* hat bis auf die Dimensionierung der Transistoren den gleichen Aufbau wie der *Preamplifier*. Mit der Gatespannung *Vfs* des Rückkoppelwiderstandes wird die Zeitkonstante des *Shapers* variiert.

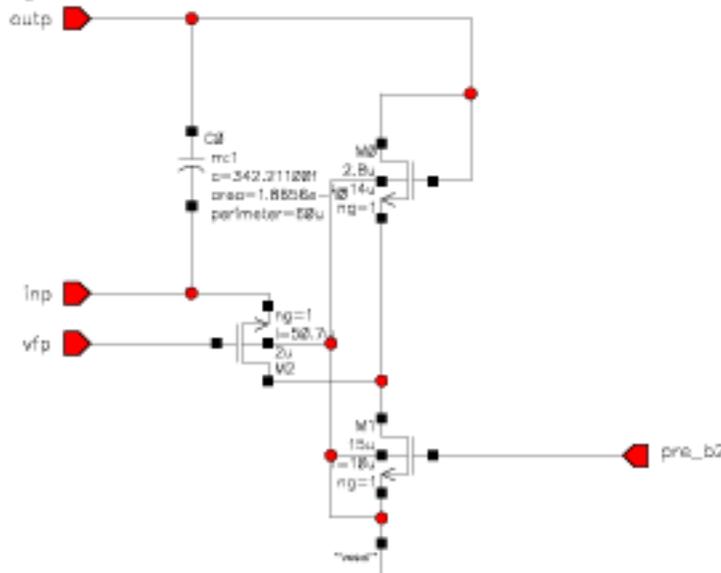


Abb. 3.11: Schaltplan der Rückkoppelstufe des Preamplifiers

Die Gesamtverstärkung des kompletten Frontends berechnet sich alleine aus der Rückkoppelkapazität des *Preamplifiers*. Diese beträgt $C_{fp} = 342$ fF. Eine eingekoppelte Ladung von $Q_{in} = 100.000$ Elektronen erzeugt am Ausgang des Vorverstärkers nach

$$U = \frac{Q_{in}}{C_{fp}}$$

eine Spannung von $U = 47$ mV.

3.4.2. Frontend-Einstellungen

Der komplette Vorverstärker erreicht seinen gewünschten Arbeitspunkt bei bestimmten berechneten Strömen und Spannungen. Diese Standardwerte für den Vorverstärker können aus Tab. 3.1 entnommen werden. Dabei haben die einzelnen Werte folgende Bedeutung:

- Vorverstärker-Biasspannung V_{tp}
Falls die Zeitkonstante des RC-Gliedes $\tau = R_{M2} \cdot C_0$ (Abb. 3.11) des Vorverstärkers groß gegen die Integrationszeit des Pulsformers ist, befindet sich der Vorverstärker im linearen Bereich. Einfluß auf die Zeitkonstante τ kann nur über den Rückkoppelwiderstand genommen werden. Mit der Vorverstärker-Biasspannung V_{tp} kann die Größe des Rückkoppelwiderstandes geregelt werden.
- Vorverstärker-Biasstrom I_{pre}
 I_{pre} bestimmt über die Steilheit des Transistors sowohl den Ausgangswiderstand des Vorverstärkers (der mit der Koppelkapazität zum Pulsformer eine „Pole-Zero“ Kompensation bildet) als auch die Verstärkung des Vorverstärker-Kerns (*Core*) über den Verstärkungsfaktor g_m des Eingangstransistors. Ein Signal mit einer geringeren Scheitelzeit wird auf diese Weise stärker abgeschwächt. Dies hat zur Folge, daß am Ausgang des Pulsformers die Amplitude des Signals größer wird, wenn I_{pre} erhöht wird.
- Pulsform-Biasspannung V_{fs}
 V_{fs} steuert die Größe des Rückkoppelwiderstandes im Pulsformer. Bei größeren Werten von V_{fs} (entspricht einem kleineren Widerstand) erniedrigt sich die Differentiationszeitkonstante des Pulsformers. Somit fällt der Spannungspuls am Ausgang des Pulsformers schneller zurück auf die Baseline. Dies führt dazu, daß nicht alle Ladungsträger aufintegriert werden können und somit die Ausgangspulshöhe kleiner wird.
- Pulsform-Biasstrom I_{sha}
 I_{sha} hat einen ähnlichen Einfluß auf den Pulsformer wie I_{pre} auf den Vorverstärker. Ein größerer Wert verkleinert auch hier den Unterschwinger.
- Treiber-Biasstrom I_{buf}
Der Treiber-Biasstrom hat keinen Einfluß auf die Pulsform. I_{buf} ist der Arbeitsstrom für den Source-Folger, der aus dem hochohmigen Ausgangssignal ein niederohmiges macht.

Vorverstärker-Biasspannung	V_{tp}	0,2 V
Vorverstärker-Biasstrom	I_{pre}	200 μ A
Pulsformer-Biasspannung	V_{fs}	1,0 V
Pulsformer-Biasstrom	I_{sha}	100 μ A
Treiber-Biasstrom	I_{buf}	100 μ A

Tab. 3.1.: Standardwerte für den Vorverstärker

3.5. Komparator

Die vorverstärkten Signale der CIP sollen zur Erzeugung eines Triggersignals mit einer programmierbaren Referenzspannung (V_{ref}) verglichen werden. Der in [BG97] für den HELIX-Auslesechip entwickelte differentielle Komparator wurde für den CIPix übernommen und modifiziert.

In Abb. 3.12 ist das Blockschaltbild des Komparatorteils dargestellt. Dieser ist in vier Teile gegliedert: einer AC-Kopplung, dem Differenzverstärker, einem Exklusiv-Oder (EXOR) und einem D-Flip-Flop.

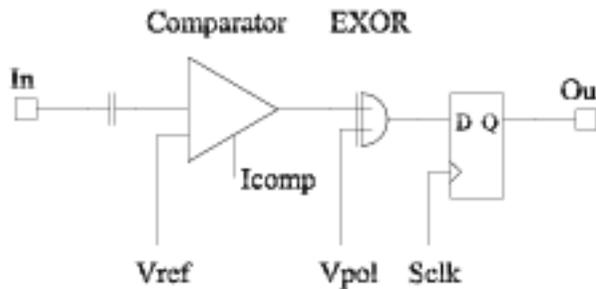
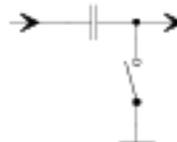


Abb. 3.12: Blockschaltbild des Komparators

3.5.1. AC-Kopplung

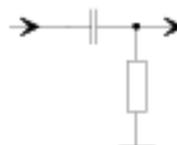
Jeder Ausgang eines der 64 CIPix-Vorverstärkerstufen ist mit einem Offset behaftet, der von Kanal zu Kanal unterschiedlich ist. Da die Referenzspannung für jeden Kanal gleich ist, muß diese Offsetvariation beseitigt werden. Dies kann durch eine AC-Kopplung erreicht werden. Für die Realisierung dieser Variante gibt es zwei Möglichkeiten:

- Der Arbeitspunkt rechts von der Kapazität wird durch einen Schalter festgelegt, der sich periodisch zu einem Zeitpunkt schließt, wenn das Signal nicht ausgewertet wird. Ist der folgende Eingang hochohmig, muß der Schalter nur sehr selten betätigt werden, da bei geöffnetem Schalter kein Strom fließen kann.

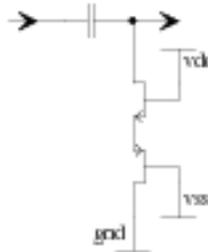


Nachteil dieser Schaltung ist, daß eine zusätzliche Steuerleitung benötigt wird. Beim Schalten selbst sind Störungen, die durch Ladungsinjektion der Kapazität C_{GS} entstehen, zu erwarten. Diese Störungen können wiederum einen negativen Einfluß auf den Offset haben.

- Ein CR-Glied (Hochpaß) filtert tiefe Frequenzen aus dem Signal heraus. Da nur der Gleichspannungsanteil ausgeschlossen werden soll und das eigentliche Signal weitgehend ungehindert die AC-Kopplung passieren soll, muß die Zeitkonstante $\tau = R \cdot C$ hinreichend groß sein.



Bei einer Kapazität von einigen wenigen pF liegt der benötigte Widerstand R somit im Bereich von ca. $1\text{ M}\Omega$. Ohmsche Widerstände werden in dem hier benutzten Herstellungsprozeß durch lange Leiterbahnen in einer möglichst hochohmigen Lage gebildet (Polysilizium-2, prozeßspezifischer Widerstand $R_{\text{proz,poly2}} = 27\ \Omega/\text{Square}^{10}$). Ein Polywiderstand von $1\text{ M}\Omega$ mit einer minimalen Leitungsbreite von $1,6\ \mu\text{m}$ würde auf dem ASIC eine Länge von $l = \frac{R}{R_{\text{proz,poly2}}} = 37\text{ mm}$ besitzen. Da ASIC-Chips normalerweise nur wenige Millimeter Kantenlängen haben, ist dieser Längenbereich völlig ausgeschlossen. Der hochohmige Widerstand wird daher durch zwei „On“-gebiaste Transistoren ersetzt.



Da die Nachteile einer Schalterlösung zu groß sind, wurde eine CR-Lösung eingesetzt.

3.5.2. Differenzverstärker

Abb. 3.13 zeigt den Differenzverstärker, der beim CIPix als Komparator eingesetzt wird. Die Versorgungsspannungen des Differenzverstärkers sind an die analogen Versorgungsspannungen des Vorverstärkers angeschlossen ($V_{\text{dda}} = +2\text{ V}$, $V_{\text{ssa}} = -2\text{ V}$).

Der Transistor M3 fungiert hier als Konstantstromquelle, wodurch die Summe der Ströme durch die beiden Transistorzweige (M0, M8 und M1, M2) konstant bleibt. Im Schaltplan könnte man an die Stelle der beiden Transistoren M0 und M8 einen gemeinsamen Transistor setzen. Um jedoch die Eingang-Offsetspannungen im endgültigen Layout zu minimieren, wurden die beiden Eingangstransistoren in jeweils zwei Teile (M0 und M8 sowie M1 und M2) gespalten und als ein überkreuz gekoppeltes Paar (*crosscoupled pair*) angeordnet.

Die Spannungen U_+ und U_- sind im Ruhezustand gleich groß, so daß sich aus Symmetriegründen der Strom auf die beiden Zweige aufteilt ($I_{\text{D8}} = I_{\text{D0}} = I_{\text{D1}} = I_{\text{D2}} = \frac{1}{2} I_{\text{D9}} = \frac{1}{2} I_{\text{D10}} = \frac{1}{4} I_{\text{D3}}$). Der Transistor M9 verhält sich in dieser Schaltung wie ein ohmscher Widerstand.

Die Spannungen in dem linken Zweig (U_{ll}) und dem rechten Zweig (U_{re}) bleiben solange konstant, wie auch die Ströme durch beide Zweige konstant bleiben.

$$U_{\text{ll}} = V_{\text{dda}} - U_{\text{DS9}} = U_{\text{re}} = V_{\text{dda}} - U_{\text{DS10}}$$

Wird dagegen eine der beiden Eingangsspannungen erhöht, ($U_+ > U_-$) ändert sich die Stromaufteilung im Differenzverstärker. Der Strom im rechten Zweig (I_{re}) nimmt zu, im linken (I_{ll}) dagegen ab. Die Summe der beiden Ströme bleibt jedoch konstant bei I_3 .

¹⁰ Allgemein: $R = \frac{\rho L}{A} = \frac{\rho L}{dW}$ Prozeßspezifischer Widerstand: $R_{\text{proz}} = \frac{\rho}{d} \left[\frac{\Omega}{\text{Square}} \right]$

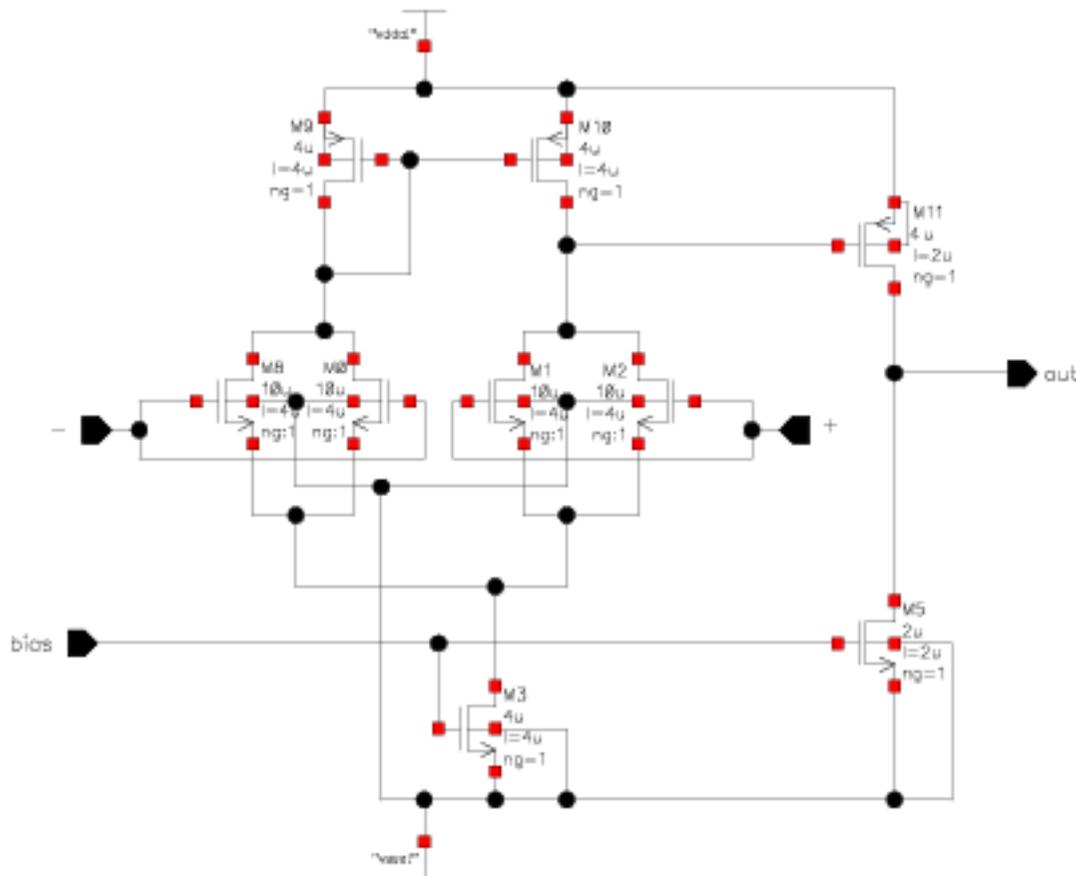


Abb. 3.13: Schaltplan eines 2-stufiger Komparator

Also ist $\Delta I_{D1} = \Delta I_{re}$. Damit sinkt der Strom $I_9 \sim U_{D1} = U_{GS9} = U_{GS10}$. Für Transistor M10 gilt:

$$R_{DS10} \sim \frac{U_{DS9}}{I_{D10}}$$

Wenn U_{GS10} sinkt, vergrößert sich R_{DS10} und $U_{re} = V_{dda} - U_{DS10}$ sinkt.

Der Differenzstufe folgt ein einfacher Drain-Verstärker (M11). M5 ist eine weitere Konstantstromquelle, die als Arbeitswiderstand fungiert und dadurch die Verstärkung maximiert. Sinkt die Spannung im rechten Zweig U_{re} , verringert sich der Widerstand über M11, was zu einer höheren Ausgangsspannung U_{out} führt.

Nachdem das Eingangssignal durch den Komparator mit der Referenzspannung verglichen wurde, steht ein digitales Signal zur Verfügung. Dieses Signal ändert seinen Pegel zeitgleich mit dem Über- bzw. Unterschreiten der Referenzspannung.

3.5.3. Signalpolarität des Komparators

Der CIPix wird zum Auslesen der Kathoden- wie auch der Anodensignale verwendet. Um bei beiden Polaritäten beim Überschreiten der Schwelle eine logische „1“¹¹ am Ausgang zu erhalten, wurde dem Differenzverstärker ein Exklusiv-Oder nachgeschaltet. Somit wird das digitale Ausgangssignal mit dem Steuerpegel V_{pol} exklusiv verodert. Dies bedeutet, daß bei $V_{pol} = „0“$ das Signal unverändert bleibt, bei $V_{pol} = „1“$ das Signal invertiert wird.

¹¹ eine logische „1“ entspricht der externen, positiven Spannung 3,3 V

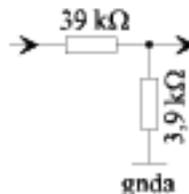
3.5.4. D-Flip-Flop

Das Ausgangssignal des Exklusiv-Oder ändert sich leicht zeitverzögert mit dem Über- bzw. Unterschreiten der Referenzspannung. Für den Trigger ist jedoch nur von Bedeutung, ob zu einem festen Zeitpunkt, der durch die steigende Flanke der *Sclk* definiert ist, das Eingangssignal kleiner oder größer als die Referenz ist. Daher muß das Ausgangssignal des Komparators zwischengespeichert und mit *Sclk* synchronisiert werden. Dieses Zwischenspeichern eines digitalen Signals wird durch ein D-Flip-Flop realisiert.

3.5.5. Komparator-Einstellungen

Die Schalteigenschaften des Komparators können durch nachfolgende Werte bestimmt werden: In Tab. 3.2 sind die Standardwerte aufgelistet.

- Komparator-Referenzspannung V_{ref}
Die Referenzspannung V_{ref} ist die Schaltschwelle des Komparators. Diese Spannung wird von den *Bias Generatoren* generiert, die für Spannungen einen programmierbaren Bereich von -2 V bis +2 V in Schritten von 15,625 mV zulassen (vgl. Kapitel 3.9 Seite 41). Da diese Auflösung für die Komparatorschwelle zu grob ist, wurde ein Spannungsteiler mit dem Verhältnis 10:1 für V_{ref} eingebaut.



- Komparator-Biasstrom I_{comp}
 I_{comp} liefert den Vergleichsstrom für die beiden Konstantstromquellen. Ein größerer Strom erhöht die Verstärkung und damit die Geschwindigkeit des Komparators.
- Komparator-Signalarität V_{pol}
 V_{pol} ist die Steuerspannung zum Einstellen der Polarität des Komparators. Diese Spannung wird über einen eigenen Anschluß dem CIPix zugeführt.

$V_{pol} = 0 \text{ V}$	logisch 0	nicht invertierend
$V_{pol} = 3,3 \text{ V}$	logisch 1	invertierend

Beschreibung	Symbol	Wert	Generierung
Komparator-Referenzspannung	V_{ref}	-2..+2 V	intern
Komparator-Biasstrom	I_{comp}	50 μA	intern
Komparator-Signalarität	V_{pol}	0 / 3,3 V	extern, über Pad V_{pol}

Tab. 3.2.: Standardwerte für den Komparator

3.6. Multiplexer

Um möglichst wenige Ausgangskanäle auf dem CIPix unterbringen zu müssen, werden die 64 digitalen Triggersignale der Komparatoren in einen Multiplexer geführt. Dieser hat die Aufgabe, je vier Kanäle vom Komparator-Ausgang aneinanderzureihen und diese mit der vierfachen Samplingfrequenz an einen der 16 digitalen Ausgängen (*DigitalOut*) weiterzuleiten. Man spricht in diesem Fall von einem Vierfach-Multiplexer.

Für den vollständigen Betrieb benötigt der Multiplexer eine *Readout-Clock (Relk)*, die die vierfache Frequenz der *Sampling-Clock (Sclk)* besitzt. Diese wird in der aktuellen Version 1.0 dem Chip extern zugeführt. In einer späteren Version soll die Readout-Clock auf dem CIPix intern durch eine PLL-Schaltung (*Phase Locked Loop*) aus der langsameren Sampling-Clock generiert werden.

3.6.1. Interne Steuersignale des Multiplexers

Der Multiplexer selbst besteht intern aus zwei Teilen. Der erste Teil generiert die vier Steuersignale *select<0>* bis *select<3>*, die für das Aneinanderreihen der Triggersignale benötigt werden. Nach der Startbedingung (*notReset* wird logisch „1“) wird mit der ersten positiven *Relk*-Flanke *select<0>* für eine *Relk*-Periode positiv. Mit der nächsten positiven Flanke wird *select<1>* positiv, *select<0>* wieder negativ. Die Abfolge setzt sich weiter fort und beginnt nach dem vierten Zyklus wieder von vorne. Die Startbedingung und die einzelnen *select*-Zustände sind in Abb. 3.14 schematisch dargestellt.

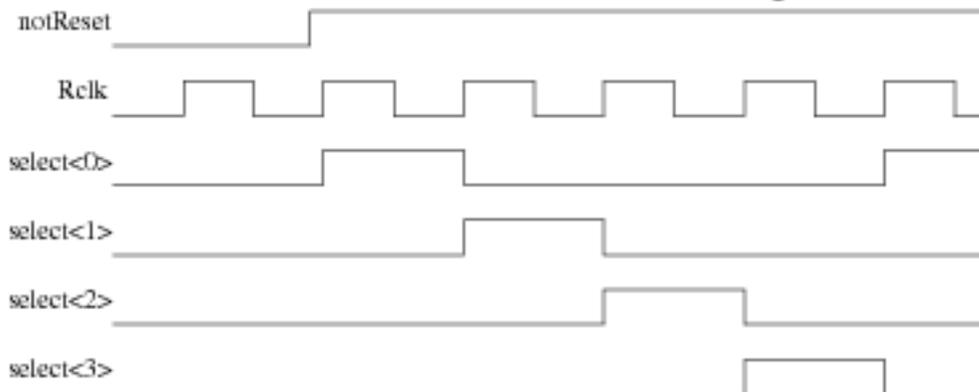


Abb. 3.14: Interne Steuersignale des Multiplexers

Diese digitale Schaltung wurde aus Standardzellen aufgebaut und ist in Abb. 3.15 abgebildet. Die zweifach hintereinander geschalteten Inverterstufen dienen als Leistungstreiber und sind notwendig, da an den einzelnen Steuerleitungen größere digitale Folgeschaltungen angeschlossen wurden. Am Ausgang *Q* des D-Flip-Flops I23 liegt unmittelbar nach einem Reset eine „0“ an (*notReset* = „1“). Somit ist das Ausgangssignal unmittelbar nach dem NAND I0 immer eine logische „1“. Diese „1“ wird mit der ersten positiven *Relk*-Flanke in das D-Flip-Flop I20 eingelesen. Gleichzeitig wird der Ausgang von I23 nun immer positiv sein. Mit jedem Taktzyklus wird die „1“ von D-Flip-Flop zu D-Flip-Flop weitergeleitet.

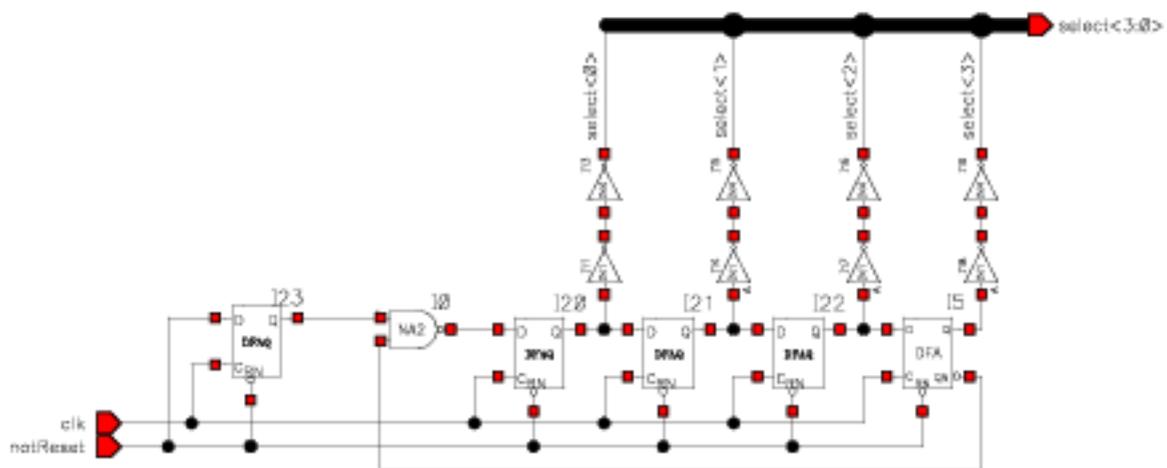


Abb. 3.15: Schaltplan zur Generierung der internen Steuerleitungen

3.6.2. Multiplexerstufe

Im zweiten Teil des Multiplexers werden die einzelnen Triggersignale des Komparators aneinandergereiht und ausgegeben. Der Schaltungsaufbau für diesen Teil ist ebenfalls aus reinen Standardzellen aufgebaut. Abb. 3.16 zeigt den Schaltplan eines der 16 Multiplexer-Ausgangskanäle. Jeweils vier Komparator-Ausgänge werden mit einer Multiplexerstufe verbunden (*MUXin*).

Das digitale Ausgangssignal, das der Multiplexer generieren soll, kann man vereinfacht durch folgenden Ausdruck ersetzen:

$$\text{out} = (\text{MUXIn}(0) \wedge \text{select}(0)) \vee (\text{MUXIn}(1) \wedge \text{select}(1)) \vee (\text{MUXIn}(2) \wedge \text{select}(2)) \vee (\text{MUXIn}(3) \wedge \text{select}(3))$$

Um den Multiplexer aufzubauen, müssen also nur die ANDs und ORs eingesetzt werden. Jedoch ist die Realisierung von NANDs und NORs in der CMOS-Technik im Vergleich viel einfacher, kleiner und schneller. Daher wird die Gleichung nach den Regeln der Booleschen Algebra umgeformt.

$$\text{out} = \overline{(\overline{\text{MUXIn}(0) \wedge \text{select}(0)}) \wedge (\overline{\text{MUXIn}(1) \wedge \text{select}(1)}) \wedge (\overline{\text{MUXIn}(2) \wedge \text{select}(2)}) \wedge (\overline{\text{MUXIn}(3) \wedge \text{select}(3)})}$$

Somit besteht der Multiplexer nun nur noch aus NANDs.

Um das Ausgangssignal *out* zu einem fest definierten Zeitpunkt auszugeben, wurde ein D-Flip-Flop eingebaut. Dieses wird mit der invertierten *Rclk* betrieben, so daß jeweils zur negativen Flanke von *Rclk* die vierfach gebündelten Daten an den entsprechenden Ausgangskanal des CIPix (*DigitalOut*) gegeben werden. Dort liegen die Triggerdaten bis zur nächsten negativen Flanke stabil an.

Um eine möglichst schnelle Information zu bekommen, ob überhaupt ein Komparator ein Signal detektiert hat, werden alle 64 Komparator-Ausgänge miteinander verodert. Das Ergebnis kann an dem Ausgang *EmptyDataSet* für weitere externe Schaltungen benutzt werden. Logisch „0“ bedeutet, daß keine Triggersignale anliegen, „1“, daß mindestens einer der 64 Kanäle ein positives Triggersignal hat.

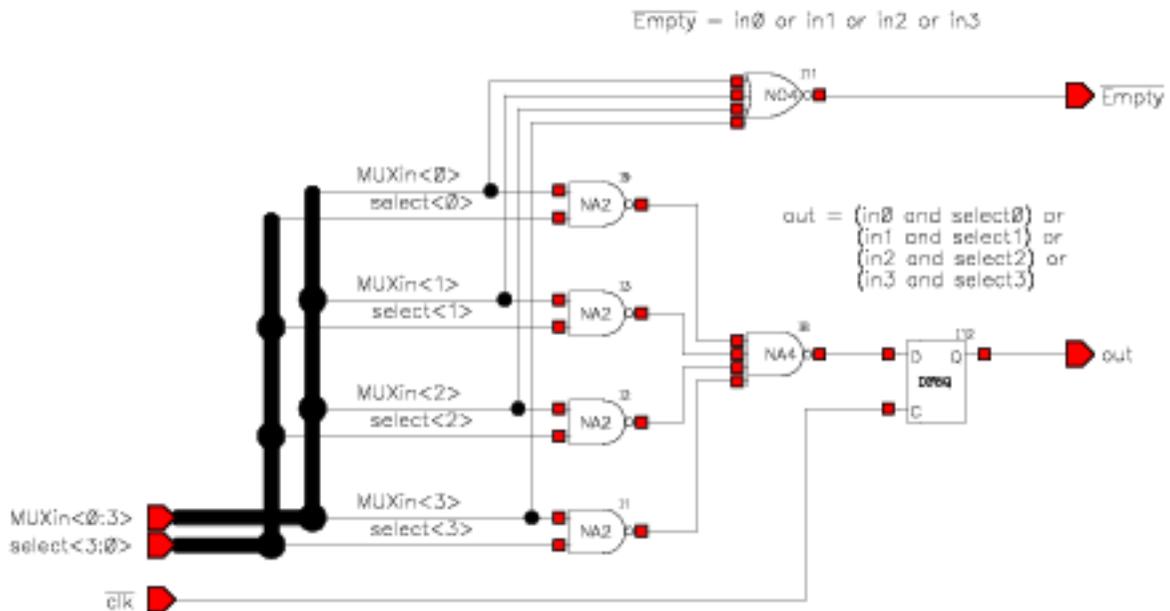


Abb. 3.16: Schaltplan der Multiplexerstufe

3.6.3. Startbedingung des Multiplexers

Wie bereits erwähnt, befindet sich auf der aktuellen Chipversion keine PLL für die Generierung der schnelleren Readout-Clock. Dies bedeutet aber, daß *Sclk* und *Rclk* in einem festen Verhältnis zueinander stehen müssen, um eine ordnungsgemäße Auslese des Multiplexers zu gewährleisten.

Abb. 3.17 zeigt das zeitliche Verhalten von *Sclk*, *Rclk* und *notReset* beim Starten des Multiplexers. Nach einem Reset des CIPix (*notReset* wird „1“) müssen *Sclk* und *Rclk* mit einer positiven Flanke beginnen.

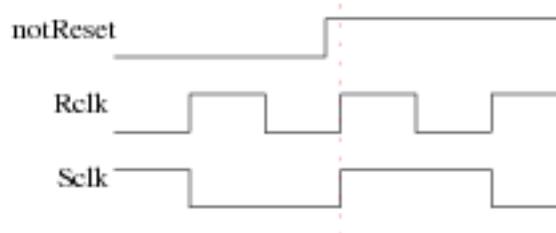


Abb. 3.17: Startverhalten von *Sclk*, *Rclk* und *notReset*

3.6.4. Kanalzuordnung des Multiplexers

In der aktuellen Version werden mit der ersten *Rclk*-Periode die Komparatorkanäle 0 bis 15 auf den 16 Digitalausgängen ausgegeben, mit der zweiten Periode die Kanäle 16 bis 31, gefolgt von den Kanälen 32 bis 47 und 48 bis 63.

Bei einer nachträglichen Diskussion stellte sich jedoch heraus, daß ein anderes Ausgabesystem besser in das dem CIPix nachgeschaltete System passen würde. Daher wird in der nächsten CIPix-Version die Reihenfolge der Kanäle geändert. Abb. 3.18 zeigt die Zuordnung der Ausgabekanäle für die aktuelle Version 1.0 (links) sowie die zukünftige Version 1.1 (rechts). Die vier markierten Kanäle 0, 21, 42 und 63 zeigen die Position der Single-Testpulskanäle an, die im nächsten Kapitel genauer beschrieben werden.

	1. Relk	2. Relk	3. Relk	4. Relk		1. Relk	2. Relk	3. Relk	4. Relk
DigitalOut<0>	0	16	32	48	DigitalOut<0>	0	1	2	3
DigitalOut<1>	1	17	33	49	DigitalOut<1>	4	5	6	7
DigitalOut<2>	2	18	34	50	DigitalOut<2>	8	9	10	11
DigitalOut<3>	3	19	35	51	DigitalOut<3>	12	13	14	15
DigitalOut<4>	4	20	36	52	DigitalOut<4>	16	17	18	19
DigitalOut<5>	5	21	37	53	DigitalOut<5>	20	21	22	23
DigitalOut<6>	6	22	38	54	DigitalOut<6>	24	25	26	27
DigitalOut<7>	7	23	39	55	DigitalOut<7>	28	29	30	31
DigitalOut<8>	8	24	40	56	DigitalOut<8>	32	33	34	35
DigitalOut<9>	9	25	41	57	DigitalOut<9>	36	37	38	39
DigitalOut<10>	10	26	42	58	DigitalOut<10>	40	41	42	43
DigitalOut<11>	11	27	43	59	DigitalOut<11>	44	45	46	47
DigitalOut<12>	12	28	44	60	DigitalOut<12>	48	49	50	51
DigitalOut<13>	13	29	45	61	DigitalOut<13>	52	53	54	55
DigitalOut<14>	14	30	46	62	DigitalOut<14>	56	57	58	59
DigitalOut<15>	15	31	47	63	DigitalOut<15>	60	61	62	63

Abb. 3.18: Ausgangskanalzuordnung des Multiplexers (links CIpix 1.0, rechts CIpix 1.1)

3.7. Testpulsgenerator

Um die gesamte Ausleseketten des CIpix testen zu können, besitzt der Chip die Möglichkeit, auf alle Kanäle abwechselnd eine positive bzw. negative Testladung einzukoppeln. Dazu wird auf dem Chip über eine Kapazität ein deltaförmiger Strompuls in den Vorverstärker eingekoppelt. Die Koppelkapazitäten vor jedem Vorverstärkerkanal bilden zusammen mit einer weiteren Kapazität einen Spannungsteiler. Abb. 3.19 zeigt das Schema der Testpulsinkoppelung für vier benachbarte Kanäle. Die Koppelkapazitäten und der Spannungsteilerkondensator sind so dimensioniert, daß bei einer Spannungsstufe von $\Delta U = 4 \text{ V}$ ein Ladungspuls von $+100.000 e^-$ (+2), $+50.000 e^-$ (+1), $-100.000 e^-$ (-2) und $-50.000 e^-$ (-1) eingekoppelt wird. Die Symmetrie des Testpulses hat zur Folge, daß sich die Stromaufnahme über die Masseleitung kaum verändert, und somit kein globales Übersprechen auf den Vorverstärker stattfindet.

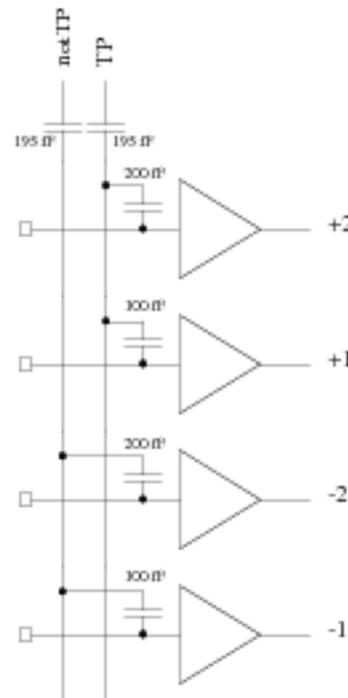


Abb. 3.19: Schema der Testpuls-einkoppelung

3.7.1. Testpuls-Steuerlogik

Die Einkoppelung des Testpulses erfolgt für alle Kanäle zum gleichen Zeitpunkt. Der Nachteil dieser Methode ist jedoch, daß Messungen eines eventuellen Übersprechens auf Nachbarkanäle mit dem internen Testpuls nicht durchgeführt werden können. Auch würden bei einer Komparatorschwelle für Signale von $100.000 e^-$ 16 Triggersignale ausgelöst werden. Daher wurden vier Kanäle des CIPix ausgewählt (Kanal 0, 21, 42, 63), die getrennt von den restlichen Kanälen angesteuert werden können. Diese Ansteuerungsauswahl (*Channel Selection, CSel*) wird über ein internes Register *TpReg* (Abb. 3.20) eingestellt, welches über das I²C-Interfaces¹² programmiert werden kann:

- vier Kanäle (*CSel* = 0, single channel): Nur auf den Kanäle 0, 21, 42 und 63 wird ein Testpuls ausgelöst. Alle anderen Kanäle werden nicht angesprochen.
- alle Kanäle (*CSel* = 1, all channel): Alle 64 Eingangskanäle werden angesprochen.

Das Auslösen eines Testpulses kann auf zwei Arten geschehen und wird ebenfalls über einen programmierbaren Schalter *MSel* (*Mode Selection*) geregelt:

- interne Ansteuerung (*MSel* = 0): Hier übernimmt der Digitalteil die Ansteuerung des Testpulses. Über ein weiteres Register kann die Wiederholungsrate in Einheiten von *ScIk*-Zyklen eingestellt werden. 0 bedeutet hier, daß kein Testpuls ausgelöst wird, 1, daß mit jeder *ScIk*-Periode ein Testpuls ausgelöst wird, 2, mit jeder zweiten; usw. Der maximal programmierbare Abstand zwischen zwei Testpulsen beträgt 63 *ScIk*-Perioden.

¹² eine Beschreibung über die Programmierung des CIPix kann im Kapitel 3.10 (I²C-Interface, Digitalkontrolle) nachgelesen werden

- externe Ansteuerung ($MSel = 1$): Hier erfolgt das Auslösen eines internen Testpulses durch die positive Flanke eines externen Signals, welches am CIPix-Eingang $fcsTP$ angeschlossen wird.

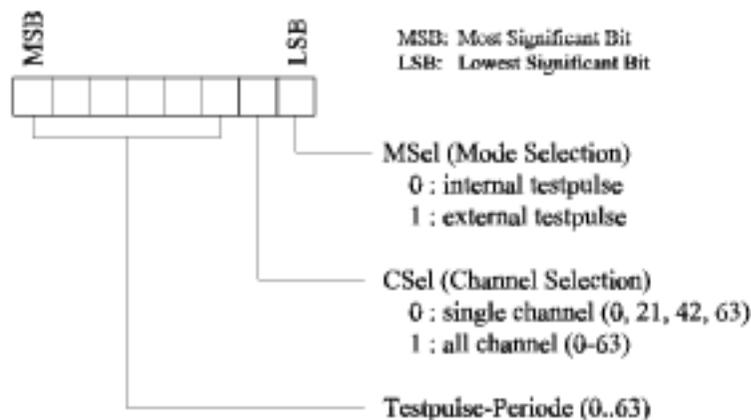


Abb. 3.20: Programmierregister $TpReg$ der Testpuls-Steuerlogik

Abb. 3.21 zeigt den Schaltplan vor der Testpulseinkoppelung auf die Vorverstärkereingänge. Die Signale $IntPulse$, $MSel$ und $Csel$ werden vom Digitalteil generiert; die Leitung $ExtPulse$ ist mit dem Eingang $fcsTP$ verbunden. Hinter dem Symbol I2 befindet sich ein Schalter, der je nach Wert von $MSel$ entweder das Signal $IntPulse$ oder $ExtPulse$ durchschaltet. Das D-Flip-Flop I5 generiert mit jeder positiven Flanke an C abwechselnd ein positives oder negatives Signal am Ausgang Q (wegen der negativen Signalrückkoppelung auf den Eingang D). Dieses Signal wird dann, je nach Zustand der Leitung $Csel$, entweder nur auf den vier einzelnen Kanälen eingekoppelt (D-Latch¹³ I4 sperrt) oder auf allen Kanälen (I4 ist auf Durchgang geschaltet). Das D-Latch I6, welches immer auf Durchgang geschaltet ist, wurde in die Schaltung eingebaut, um keine Signalverzögerung zwischen *single* und *multi* zu erhalten. Der nachfolgende Treiber I0 bzw. I1 verstärkt das Signal am Eingang A und gibt es am Ausgang Q bzw. invertiert am Ausgang QN aus.

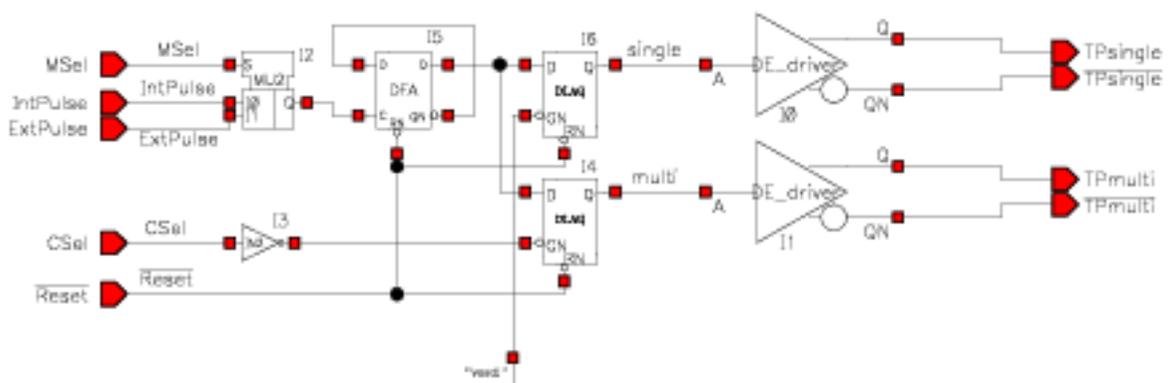


Abb. 3.21: Schaltplan der Testpuls-Steuerlogik

¹³ D-Latch: Wenn an GN eine „0“ anliegt, ist der Ausgang Q gleich dem Eingang D. Wird hingegen GN „1“, verändert sich der Ausgang Q nicht mehr, sondern behält seinen letzten Zustand bei.

3.7.2. Testpuls-Kanalzuordnung

Um mit der Auslösung eines internen Testpulses unterschiedliche Signalreihenfolgen testen zu können, wurden die 64 Eingangskanäle in 16 Gruppen eingeteilt. Jede Gruppe erzeugt, wie bereits am Anfang beschrieben, vier verschiedene Testpulse. In Abständen von vier Gruppen wird die Reihenfolge der Signaleinkoppelung innerhalb einer Gruppe geändert. Eine genaue Zuordnung der Ladungspulse kann Tab. 3.3 entnommen werden. Dabei steht „1“ für einen Ladungspuls von $50.000 e^-$ und „2“ für einen Ladungspuls von $100.000 e^-$. Das Vorzeichen gibt die Polarität der Ladung an und ändert sich nach jeder Einkoppelung.

Kanal	Ladung	Kanal	Ladung	Kanal	Ladung	Kanal	Ladung
0	± 1	16	∓ 2	32	± 1	48	∓ 2
1	∓ 2	17	± 2	33	∓ 1	49	± 1
2	± 2	18	∓ 1	34	∓ 2	50	± 2
3	∓ 1	19	± 1	35	± 2	51	∓ 1
4	± 1	20	∓ 2	36	± 1	52	∓ 2
5	∓ 2	21	± 2	37	∓ 1	53	± 1
6	± 2	22	∓ 1	38	∓ 2	54	± 2
7	∓ 1	23	± 1	39	± 2	55	∓ 1
8	± 1	24	∓ 2	40	± 1	56	∓ 2
9	∓ 2	25	± 2	41	∓ 1	57	± 1
10	± 2	26	∓ 1	42	∓ 2	58	± 2
11	∓ 1	27	± 1	43	± 2	59	∓ 1
12	± 1	28	∓ 2	44	± 1	60	∓ 2
13	∓ 2	29	± 2	45	∓ 1	61	± 1
14	± 2	30	∓ 1	46	∓ 2	62	± 2
15	∓ 1	31	± 1	47	± 2	63	∓ 1

Tab. 3.3.: Zuordnung der Ladungseinkoppelungen zu den Vorverstärkerkanälen

3.8. Analoge Ausgabe

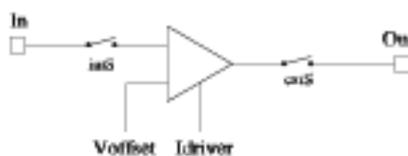


Abb. 3.22: Blockschaltbild der analogen Ausgabe

Der CIPix besitzt die Möglichkeit, einen der 64 Kanäle für Testzwecke analog auszulesen. Abb. 3.22 zeigt das Blockschaltbild der analogen Ausgangsstufe. Die Auswahl des Kanals erfolgt durch Programmierung des internen Registers *AnalogOut* (Abb. 3.23, Bits 0..5). Das so ausgewählte analoge Signal wird zwischen Vorverstärker und Komparator abgegriffen und dem Stromtreiber (*Current Buffer*) des CIPix zugeleitet. Als Eingang hat dieser Treiber zwei Spannungseingänge (das ausgewählte analoge Signal *AnalogIn* und eine Referenzspannung *Voffset*) und wandelt diese in ein Stromsignal um, welches dann

am Ausgang des *Current Buffers* anliegt. Die Linearität des Treibers wird durch eine Stromrückkoppelung erreicht.

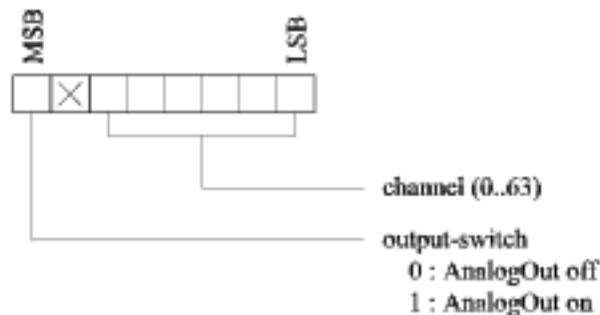


Abb. 3.23: Register *AnalogOut* der analogen Kanalausgabe

Der Stromtreiber ist so entwickelt worden, daß die *AnalogOut*-Ausgänge von verschiedenen Chips an ein gemeinsames 50 Ω Koaxialkabel angeschlossen werden können. Damit auf dieser gemeinsamen Leitung keine Kollisionen stattfinden, darf gleichzeitig nur ein CIPix seine analogen Daten ausgeben. Dazu müssen die Ausgänge aller anderen Chips durch ein sogenanntes *Transmission-Gate* (*t-gate*) abgeschaltet werden. Das Ein- bzw. Ausschalten des *Transmission-Gates* wird durch das oberste Bit vom *AnalogOut*-Register gesteuert. Abb. 3.24 zeigt die oberste Hierarchie des Stromtreibers, Abb. 3.25 löst das Schaltungssymbol des *Transmission-Gates* auf und zeigt die einzelnen Komponenten.

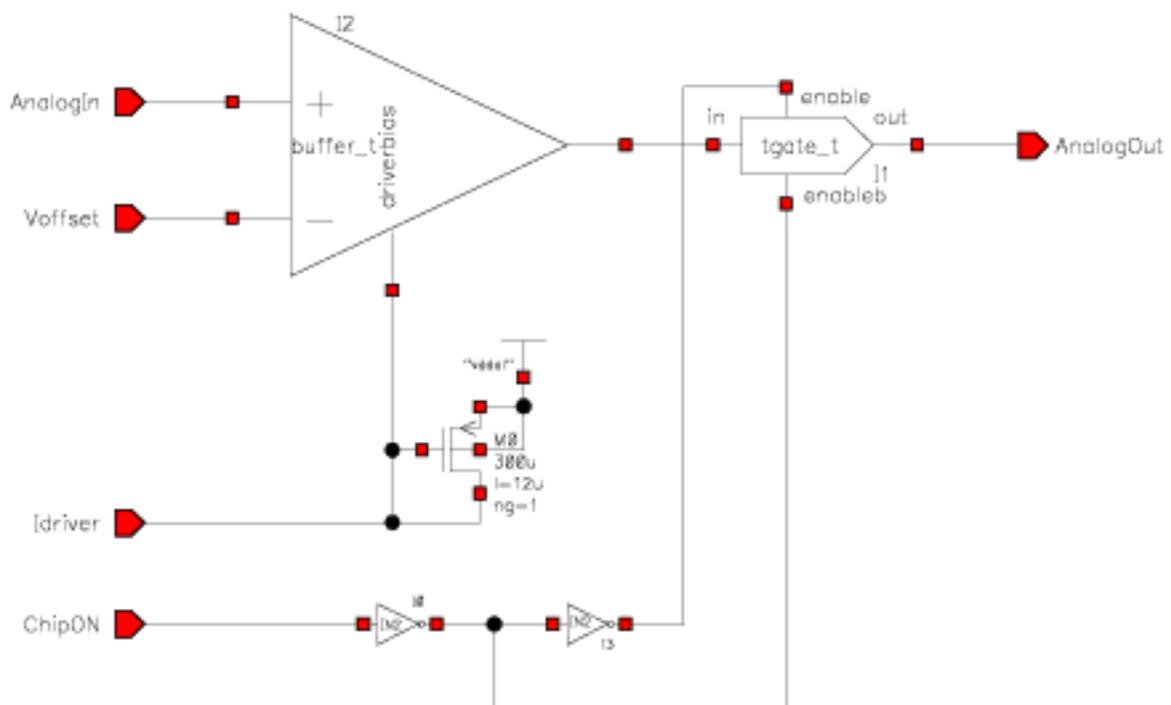


Abb. 3.24: Schaltplan des *Current Buffers* mit nachgeschaltetem *Transmission-Gate*

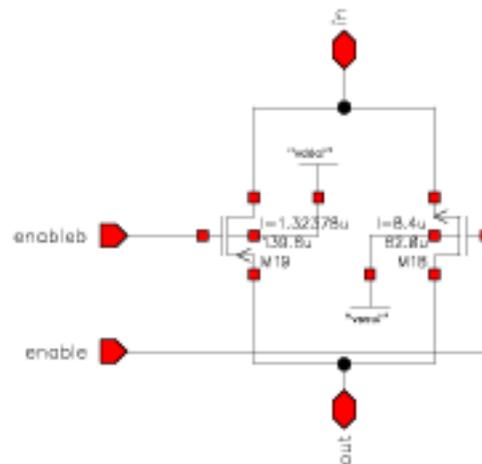


Abb. 3.25: Schaltplan des *Transmission-Gates*

Wie man aus dem Schaltplan des *Transmission-Gate* erkennen kann, ist dieser aus einem p-MOS und einem n-MOS Transistor aufgebaut. Aus dem *ChipON*-Signal wird nach dem ersten Inverter I0 das *enableb*, nach dem zweiten Inverter I3 das *enable*-Signal generiert. Diese so zueinander komplementären Signale steuern die beiden Transistoren. So werden bei einem positiven *ChipON* beide Transistoren gleichzeitig auf Durchgang geschaltet.

3.8.1. Einstellungen des Stromtreibers

Der Stromtreiber benötigt zwei Arbeitsgrößen, die nachfolgend beschrieben werden. Die Standardgrößen dieser Werte sind in Tab. 3.4 aufgeführt.

- Stromtreiber-Referenzspannung V_{offset}
Mit der Referenzspannung V_{offset} kann der Offsetstrom der analogen Ausgabe geregelt werden.
- Stromtreiber-Biasstrom I_{driver}
 I_{driver} liefert den Vergleichsstrom für die internen Konstantstromquellen.

Stromtreiber-Referenzspannung	V_{offset}	-0,5 V
Stromtreiber-Biasstrom	I_{driver}	90 μA

Tab. 3.4.: Standardwerte für die analoge Datenausgabe

3.8.2. Analoge Signalauslese ohne anliegende Taktfrequenz

Der analoge Ausleseteil des CIPIX wurde so konzipiert, daß zu seinem vollständigen Betrieb weder *Sclk* noch *Relk* benötigt werden. Es muß lediglich einmal durch das PC-Interface das interne Register *AnalogOut* programmiert werden (Kanalnummer und Ausgangsschalter). Signale am Eingang des ausgewählten Vorverstärkerkanals werden entsprechend den Einstellungen des Frontends verstärkt und als ein Stromsignal am Ausgang des CIPIX ausgegeben. Ein eventuelles Übersprechen von störenden Clock-Signalen ist somit ausgeschlossen.

3.9. Die Bias-Generatoren

Der CIPix benötigt für den Vorverstärker, den Komparator und für die analoge Ausgabe insgesamt fünf verschiedene Ströme und vier verschiedene Spannungen. Diese haben unterschiedliche Werte und müssen gegebenenfalls verändert werden. Dazu wurden auf dem CIPix Strom- und Spannungsquellen integriert, die über das I²C-Interface programmiert werden können. Zur nachträglichen Überprüfung der Programmierung, und somit auch des Zustandes der Strom- und Spannungsquellen, können die internen Programmierregister wieder durch das I²C-Interface ausgelesen werden.

3.9.1. Stromquellen

Die benötigten Ströme der analogen Stufe werden von fünf Digital- zu Analog-Umwandlern, sogenannte DACs (*Digital to Analog Converter*), generiert. Jeder dieser DACs hat eine Auflösung von 8 Bit und wird über ein eigenes Register programmiert. Die DACs sind so konzipiert, daß sie einen Strom von $2,5 \mu\text{A}/\text{LSB}$ liefern. Bei einem Registerwert von 0 liefern die DACs keinen Strom.

3.9.2. Spannungsquellen

Die intern benutzten Spannungen werden von vier DACs generiert, die ebenfalls eine Auflösung von je 8 Bit haben. Der programmierbare Bereich der DACs erstreckt sich von V_{ssa} (-2 V) bis V_{dda} (+2 V), somit $15,625 \text{ mV}/\text{LSB}$. Ein Registerwert von 0 entspricht hier einer Spannung von -2 V.

3.9.3. Externe Beschaltung zur Generierung des internen Referenzstromes

Um eine genaue Stromeinstellung zu erreichen, benötigt der CIPix einen Referenzstrom von $100 \mu\text{A}$, der in das Eingangspad *IrefIn* fließen muß. Dieser Referenzstrom muß entweder extern vorgegeben oder intern generiert werden. Bei einer internen Generierung müssen die beiden Pads *IrefIn* und *IrefOut* miteinander verbunden und an das Pad *Rref* ein $20 \text{ k}\Omega$ Widerstand gegen V_{ssa} angeschlossen werden.

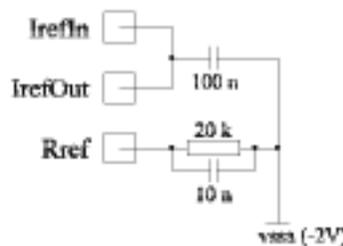


Abb. 3.26: Schaltplan der externen Beschaltung von *Rref*, *IrefOut* und *IrefIn*

Abb. 3.26 zeigt die externe Beschaltung der drei Pads *Rref*, *IrefOut* und *IrefIn*. Wie bereits in Kapitel 3.9.1 beschrieben, muß ein externer Widerstand von $20 \text{ k}\Omega$ gegen V_{ssa} an den Eingang von *Rref* angeschlossen werden. Die eingezeichneten Blockkapazitäten sind notwendig, um den Referenzstrom konstant zu halten und eventuelle Oszillationen zu unterdrücken.

3.10. I²C-Interface, Digitalkontrolle

Der komplette Digitalteil des CIPix wurde von Daniel Baumeister im Rahmen seiner Diplomarbeit in der Hardware-Beschreibungssprache *Verilog* geschrieben und anschließend aus AMS 0,8 μm CMOS-Standardzellen synthetisiert. Der Digitalteil besteht im wesentlichen aus folgenden Komponenten:

- ein I²C-Interface für die Ansteuerung und Programmierung des CIPix
- ein Adress-Decoder zur Umwandlung und Weiterleitung der Programmierdaten
- ein Adress-Generator zur automatischen Festlegung einer eindeutigen CIPix-Identifikationsnummer

In den nachfolgenden Kapitel werden die einzelnen Digitalteile beschrieben. Eine ausführliche Beschreibung der Digitalkontrolle und des I²C-Interfaces kann in [DB99] nachgelesen werden.

3.10.1. I²C-Interface

Das I²C-Interface wird für die Kommunikation und Programmierung mit dem CIPix benötigt. Die Ansteuerung erfolgt über zwei Leitungen, *Serial Data (SDA)* und *Serial Clock (SCL)*. Beide Leitungen sind so konzipiert, daß sie Informationen in beide Richtungen übertragen können (bidirektionaler Bus), wobei die Daten auf der *SDA*-Leitung zeitlich synchron zur Clock auf der *SCL*-Leitung sein müssen. Die I²C-Spezifikation [I²C98] sieht zwei Übertragungsarten vor:

- *Standard mode* mit einer Taktfrequenz von bis zu 100 kHz
- *Fast mode* mit einer Taktfrequenz von bis zu 400 kHz

Die genauen Unterschiede dieser beiden Übertragungsarten sind für den Einsatz beim CIPix nicht weiter von Bedeutung.

Jedem CIPix wird nach dem Start eine eindeutige Identifikationsnummer zugeteilt (vgl. Kapitel 3.10.3, Adress-Generator), die auch als CIPix-Adresse bezeichnet wird. In Abb. 3.27 ist die Bitfolge der Programmiersequenz abgebildet. Diese setzt sich aus folgenden Teilen zusammen:

- Die *Startbedingung*: Eine negative Flanke auf der SDA Leitung, während SCL auf „1“ ist, aktiviert die Programmiersequenz.
- Die *CIPix-Adresse* besteht aus 7 Bit und definiert den Adressmode (Tab. 3.5). Null bedeutet, daß alle angeschlossenen Chips die nachfolgenden Daten intern verarbeiten.
- Das Richtungsbit *RnotW*: Dieses Bit gibt an, ob an den CIPix Daten übertragen (*SDA* = „0“) oder ob Daten vom CIPix empfangen werden (*SDA* = „1“).
- Die Bestätigung (*Acknowledge, ACK*): Wenn der Sender (Master) die *SDA*-Leitung auf „1“ setzt, kann der Empfänger (Slave) die *SDA*-Leitung auf „0“ ziehen. Diese

Antwort wird als eine positive Bestätigung vom Sender verstanden, und der weitere Datentransfer kann fortgeführt werden.

- Die Datenpaket (*Data*): Jedes Datenpaket besteht aus 8 Bits und muß mit einem weiteren *Acknowledge* bestätigt werden. Das erste Datenbit ist das MSB (Most Significant Bit), das letzte Datenbit das LSB (Lowest Significant Bit).
- Die *Stopbedingung*: Eine positive Flanke auf der SDA Leitung während SCL auf „1“ ist beendet die Programmiersequenz.



Abb. 3.27: 7-Bit-Programmierssequenz

Slave Adresse	Richtungsbit	Beschreibung
0000 000	0	<i>General call</i> : Alle angeschlossenen Geräte (CIPIx) werden gleichzeitig angesprochen.
0000 xxx	x	Reserviert
1111 lxx	x	Reserviert
1111 0xx	x	<i>10-bit addressing</i> : xx entspricht den ersten beiden Bits der 10-Bit-Adresse. Die restlichen 8 Bits werden nach einer Bestätigung (<i>Acknowledge</i>) im nachfolgenden Byte übermittelt.
andere	x	<i>7-bit addressing</i>

Tab. 3.5: Adressmode-Definition

3.10.2. Address-Decoder

Beim Empfangen von Datenpaketen überprüft das I²C-Interface, ob diese Datensequenzen überhaupt für diesen CIPIx bestimmt sind. Dazu wird die übertragene Adresse mit der automatisch vom CIPIx generierten Chipadresse verglichen. Ist diese Entscheidung positiv ausgefallen, werden die weiteren Datenpakete vom Address-Decoder ausgewertet. Dieser muß z.B. erkennen, ob es sich bei einer Schreibsequenz um eine "*Consecutive Mode*"-Übertragung oder um eine "*Single Mode*"-Übertragung handelt. Die Anordnung der Datenpakete und ihre Bedeutung kann aus Abb. 3.28 abgelesen werden. Dabei versteht man unter *Register* die 4-Bit-Adresse des anzusprechenden internen CIPIx-Registers, unter *Data* den zu programmierenden 8-Bit-Wert für dieses Register. Eine Übersicht über die beim CIPIx benutzten internen Register ist in Tab. 3.6 abgebildet.

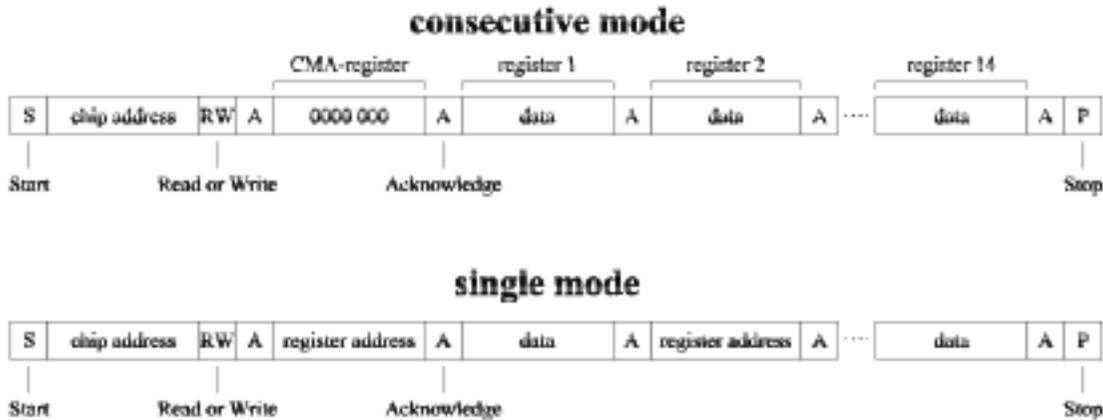


Abb. 3.28: Anordnung der Datenpakete im *consecutive mode* und im *single mode*

Registeradresse (HEX)	Registername	Beschreibung
00	CMA	Erkennungsregister für <i>Consecutive Mode Addressing</i>
01	I_{pre}	Vorverstärker-Biasstrom
02	I_{shu}	Pulsformer-Biasstrom
03	I_{bur}	Treiber-Biasstrom
04	I_{comp}	Komparator-Biasstrom
05	I_{driver}	Biasstrom des analogen Ausgangstreibers
06	V_{tp}	Rückkoppelwiderstand des Vorverstärkers
07	V_{fs}	Rückkoppelwiderstand des Pulsformers
08	V_{ref}	Komparator-Referenzspannung
09	V_{offset}	Offset des analogen Stromausganges
0A	AnalogOut	Verstärkerkanal, der analog ausgelesen werden soll
0B	TpReg	Testpuls kontrollregister
0C		zur Zeit nicht benutzt
0D		zur Zeit nicht benutzt
0E		zur Zeit nicht benutzt
0F		zur Zeit nicht benutzt

Tab. 3.6: Aufstellung der internen CIPix-Register und ihre Funktion

3.10.3. Adress-Generator

Um bei einem späteren Masseneinsatz des CIPix nicht jedem Chip per Hand eine eindeutige Adresse zuordnen zu müssen, vergeben sich die Chips ihre Adresse selbst. Lediglich der Beginn der Ausleseketten muß eindeutig definiert werden, indem die beiden Eingänge *ATI* und *ATIP* des ersten CIPix extern mit der positiven Spannung V_{cc} (+3,3 V) verbunden werden. Die Adressvergabe startet unmittelbar, nachdem der CIPix seinen Reset-Zustand verläßt (*notReset* wird „1“). Jeder CIPix erhöht mit einer Periode von *Sclk* seine Adresse solange um eins, bis ein positives Signal am Eingang von *ATI* anliegt. Sogleich wird die aktuelle Adresse eingefroren und der Ausgang *ATO* positiv. Da nun die Eingänge von *ATI* mit dem Ausgängen *ATO* eines vorangegangenen CIPix bis auf den ersten Chip verbunden sind, wird so das Stop-Signal von Chip zu Chip weitergegeben. Abb. 3.29 zeigt die externe Beschaltung von *ATI*, *ATIP* und *ATO* zwischen verschiedenen Chips.

Damit diese Kette bei einem Ausfall eines CIPIx nicht unterbrochen wird, gibt jeder Chip sein *ATO*-Signal nicht nur an den Eingang *ATI* des nächsten, sondern auch an den Eingang *ATIP* des übernächsten Chips. Ein Chip friert somit seine Adresse entweder unmittelbar nach einem positiven Signal von *ATI* ein oder erhöht seine Adresse nochmals um eins, wenn er an *ATIP* ein positives Signal erkennt. Mit diesem Konzept wird bei einem Ausfall eines Chips dessen ursprüngliche Adresse nicht vergeben, und alle weiteren Chips behalten ihre Adressen bei. Die Adressierungskette wird nur dann unterbrochen, wenn zwei unmittelbar aufeinanderfolgende Chips nicht mehr funktionieren.

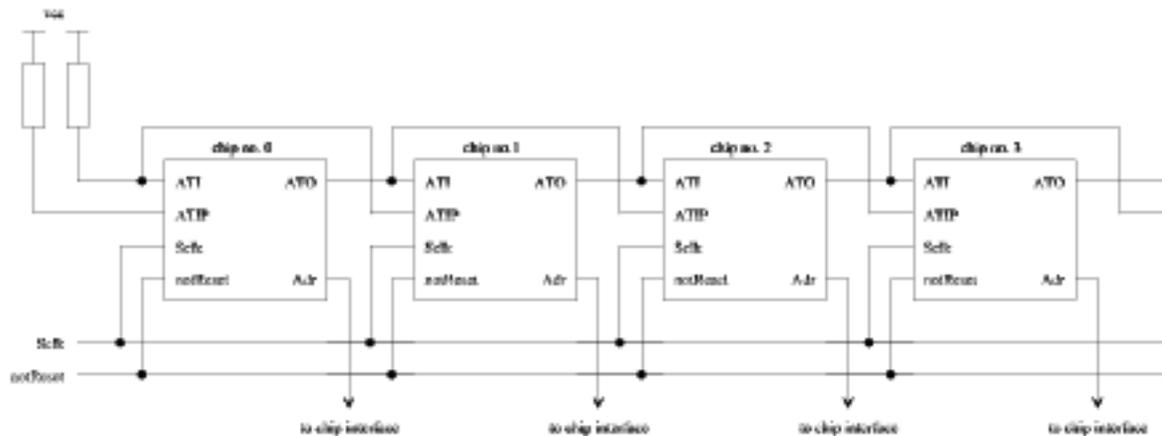


Abb. 3.29: Beschaltung der externen Adress-Generator-Leitungen

3.11. Stromversorgung

Der CIPIx benötigt für seinen Betrieb verschiedene Spannungen, die in Tab. 3.7 aufgeführt sind. Die analogen und digitalen Betriebsspannungen sind auf dem CIPIx streng voneinander getrennt, um das Übersprechen von digitalen Schaltstörungen auf den Vorverstärker zu minimieren. Die Zuführung der beiden Betriebsspannungen bis zum CIPIx kann gemeinsam geschehen. Alle Spannungen sollten direkt am Eingang des CIPIx durch externe Kapazitäten geblockt werden, um auch hier eventuelle Störungen abzufangen. Die Anpassung der Betriebsspannungen des CIPIx mit der Detektorspannung erfolgt, indem die analoge Masse *Gnda* mit der Detektormasse verbunden wird.

Die digitale Betriebsspannung *Vcc* wird nur für die Anpassung des CIPIx an die Standard-CMOS-Level benötigt.

Symbol	Spannung	Beschreibung
Vdda	+ 2,0 V	positive analoge Betriebsspannung
Vssa	- 2,0 V	negative analoge Betriebsspannung
Gnda	0,0 V	analoge Masse
Vddd	+ 2,0 V	positive digitale Betriebsspannung
Vssd	- 2,0 V	negative digitale Betriebsspannung
Vcc	+ 3,3 V	digitale Betriebsspannung für Ein- und Ausgabepads
Gnd	0,0 V	digitale Masse

Tab. 3.7.: Beschreibung der vom CIPIx benutzten Betriebsspannungen

3.12. Levelshifterpads

Die interne Betriebsspannung des CIPix beträgt -2 V für V_{ss} und $+2\text{ V}$ für V_{dd} . Da jedoch die externe Auslese- bzw. Programmierelektronik im Spannungsbereich von 0 bis $3,3\text{ V}$ arbeitet, müssen die unterschiedlichen Pegel einander angepaßt werden. Daher ist auf dem CIPix unmittelbar nach jedem Ein- bzw. Ausgang eine Pegelanpassung eingebaut worden, die im weiteren als *Levelshifter* bezeichnet wird. Für die externe Kommunikation werden vier verschiedene Pads (das sind die Anschlußstellen des CIPix) mit einem Levelshifter benötigt:

- Eingangs-Levelshifter (*ATI, ATIP, notReset, fcsTP, Pause, Vpol*)
- Ausgangs-Levelshifter (*ATO, DigitalOut<0>* bis *DigitalOut<15>, EmptyDataSet*)
- Ein-/Ausgangs-Levelshifter (*SDA, SCL*)
- LVDS¹⁴-Eingangs-Levelshifter (*Sclk, Rclk*)

3.12.1. Eingangs-Levelshifter

Abb. 3.30 zeigt den Schaltplan [MFR98] für die Eingangspads des CIPix. Das externe Signal wird an den Eingang *In033* angelegt und im Differenzverstärker, der zwischen der Betriebsspannung V_{cc} ($+3,3\text{ V}$) und V_{ss} ($-2,0\text{ V}$) arbeitet, mit der Referenzspannung V_{ref} verglichen. V_{ref} hat eine konstante Spannung von $1,65\text{ V}$ und wird auf dem CIPix durch einen Widerstandsteiler von V_{cc} abgeleitet. Für die Biasspannung V_{bias} wird eine Spannung von $2,5\text{ V}$ benötigt, die ebenfalls intern durch einen Widerstandsteiler von V_{cc} gewonnen wird. Das Ausgangssignal des Differenzverstärkers wird noch durch die beiden hintereinander geschalteten Inverterstufen auf den Pegel V_{dd} bzw. V_{ss} angepaßt.

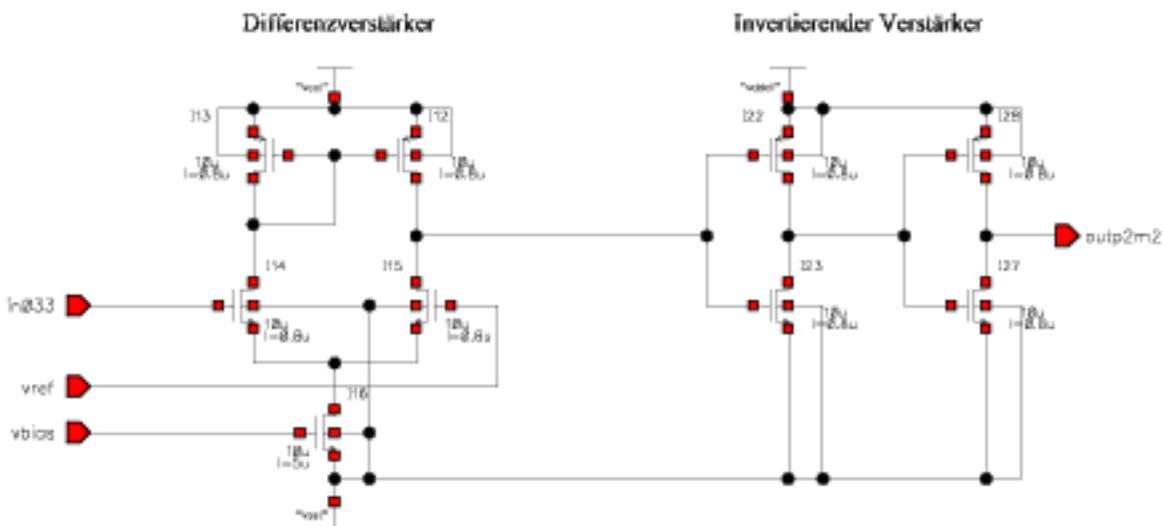


Abb. 3.30: Schaltplan der Eingangs-Levelshifterpads [MFR98]

¹⁴ LVDS: Low Voltage Differential Signal

3.12.2. Ausgangs-Levelshifter

Den Schaltplan für die Ausgangsstufe der Pegelanpassung [MFR98] zeigt Abb. 3.31. Die erste Inverterstufe hat ihren Arbeitsbereich zwischen V_{dd} und V_{ss} , alle weiteren Stufen arbeiten zwischen V_{cc} und Gnd , wobei die Größe der Transistoren zunimmt.

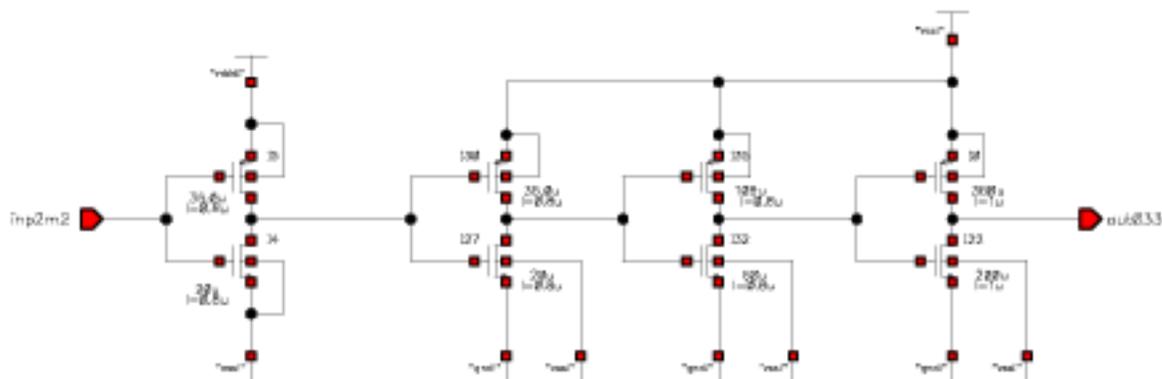


Abb. 3.31: Schaltplan der Ausgangs-Levelshifterpads [MFR98]

3.12.3. Ein-/Ausgangs-Levelshifter

Der CIPix besitzt zwei bidirektionale Anschlüsse, d.h. es können über eine Leitung sowohl Daten empfangen als auch übertragen werden. Wie man deutlich dem Blockschaltbild der Ein-/Ausgabestufe (Abb. 3.32) entnehmen kann, werden die beiden Signale In und Out



Abb. 3.32: Blockschaltbild der Ein-/Ausgangs-Levelshifter-Schaltung

innerhalb des CIPix getrennt geführt und verschmelzen erst nach den Levelshifterstufen zu dem Signal In/Out .

Hinter diesen Stufen verbirgt sich im Prinzip der gleiche Aufbau wie bei den bereits besprochenen Levelshiftern, jedoch wurde die Ausgangsstufe so umgebaut, daß der Ausgang abgeschaltet werden kann, wenn das Pad Daten empfangen soll. Dazu benötigt die Ausgangsstufe für die Aktivierung bzw. Deaktivierung des Ausgangs eine weitere interne Leitung (*Enable*), die von der Digitalkontrolle gesteuert wird.

3.12.4. LVDS-Eingangs-Levelshifter

Um das Übersprechen von Clock-Signalen zu minimieren, werden diese als differentielle Signale (*Low Voltage Differential Signaling, LVDS*) an den CIPix übermittelt. Die beiden Leitungen werden, wie in Abb. 3.33 gezeigt, als Clk und $notClk$ bezeichnet. Das Clk -Signal wird auf den einen Eingang des Differenzverstärkers gegeben, das $notClk$ -Signal auf den anderen. Prinzipiell nutzt man die Pegelanpassungsstufe des Eingangs-Levelshifters (vgl. Kapitel 3.12.1) indem man als Referenzsignal nicht die Spannung V_{ref} , sondern das

invertierte Clocksignal (*notClk*) anschließt. Die nominelle Spannungsdifferenz für LVDS-Signal beträgt $\Delta V_{\text{Clk, notClk}} \geq 250 \text{ mV}$, das Spannungsoffset $V_{\text{offset}} = 1,125 \dots 1,375 \text{ V}$.

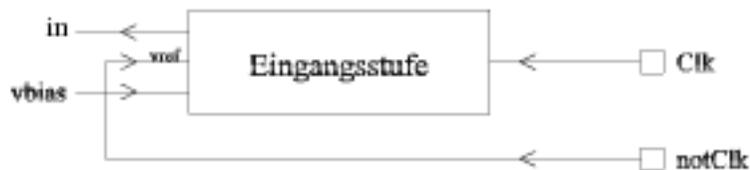


Abb. 3.33: Blockschaltbild der LVDS-Levelshifter-Schaltung

4. Simulationen

Schon beim Schaltungsentwurf einzelner Komponenten und dem Zusammenbau von Schaltungsblöcken wurden Simulationen durchgeführt, um deren Verhalten zu studieren. Bei der Realisierung einer Schaltung entstehen jedoch stets parasitäre Kapazitäten zwischen sich überlappenden oder nebeneinander liegenden Leiterbahnen. Da die Anordnungen von Leiterbahnen jedoch erst nach Fertigstellung des Layouts bekannt sind, können diese parasitären Kapazitäten erst im Nachhinein berechnet werden. Eine Simulation mit parasitären Kapazitäten muß also zuvor folgenden Schritte durchlaufen:

- Generierung einer Netzliste des elektrischen Schaltplanes
Bereits in diesem Stadium können Simulationen mit dieser Netzliste durchgeführt werden.
- Generierung einer Netzliste aus dem Layout
Diese Erstellung ist nicht trivial, da das Layout im Prinzip nur aus Vektorzeichnungen mehreren Lagen besteht, die die Masken für die Strukturierung der einzelnen Schichten des ASICs festlegen. Darin sind aber keine expliziten Informationen darüber enthalten, welche Bauteile letztendlich durch diese Masken erzeugt werden. Die Software muß daher in den Masken sinnvolle Bauteile und ihre Parameter erkennen und diese zu einer Netzliste zusammenfassen. In diesem Schritt werden auch die parasitären Kapazitäten berechnet, die sich aus der Nachbarschaft oder Überlappung verschiedener Leitungen ergeben.
- Die Netzliste des Schaltplans wird mit der Netzliste des Layouts (ohne parasitäre Kapazitäten) verglichen (*Layout Versus Schematic, LVS*).
- Ist der Vergleich erfolgreich, kann eine Simulation aufgrund der zweiten Netzliste, die parasitäre Kapazitäten enthält, durchgeführt werden.

Jedoch wurden die meisten der Simulationen bereits während des Schaltungsentwurfes durchgeführt, um die Eigenschaften verschiedener Schaltungsarten und Dimensionierungen zu untersuchen. Eine ausführliche Überprüfung der CIPix-Simulationen mit parasitären Kapazitäten konnte aus Zeitmangel vor der Submission nicht mehr durchgeführt werden.

4.1. Simulation des Vorverstärkers und Komparators

Zunächst wurde eine Schaltung für einen CIPix-Kanal mit Vorverstärker und nachgeschaltetem Komparator entworfen (Abb. 4.1). Bei dieser universellen Schaltung konnten verschiedene Strom- und Spannungseinstellungen, Lastkapazitäten und der Sampling-Zeitpunkt des Komparators variiert werden.

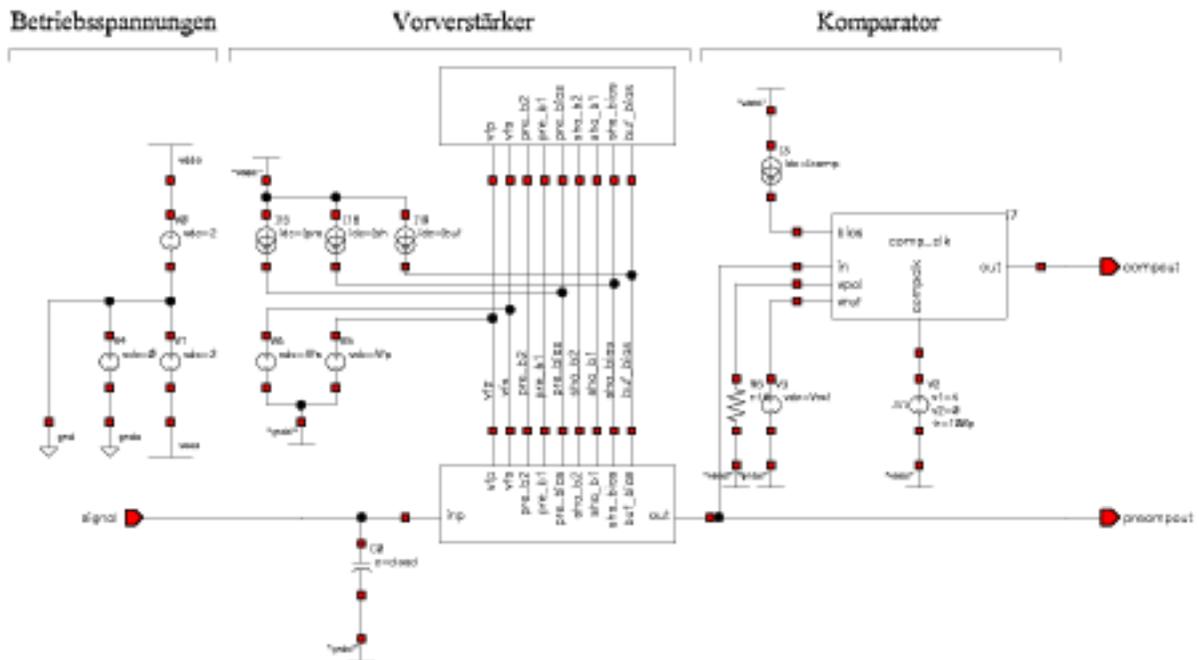


Abb. 4.1: Schaltplan eines CIPix-Kanals mit Vorverstärker und Komparator

Am Eingang *Signal* wurden verschiedene Signalgeneratoren angeschlossen, um deren Verhalten am Ausgang des Preamplifiers (*preampout*) und des Komparators (*compout*) zu simulieren. Als Signalgeneratoren wurden im Prinzip nur drei verschiedene Modelle simuliert:

- Das Signal eines Rechteckgenerators wurde mit Hilfe einer Kapazität in den Vorverstärker eingekoppelt.
- Einem Rechteckgenerator wurde ein Spannungsteiler nachgeschaltet. Das um den Faktor 100 kleinere Signal wurde wieder über eine Kapazität ($C = 1,5 \text{ pF}$) in den Vorverstärker eingekoppelt. Abb. 4.2 zeigt den Schaltplan dieser Einkoppelungsstufe. Die beiden Widerstände R_1 und R_2 bilden den 100:1-Spannungsteiler. Bei einem späteren Meßaufbau wird ein Koaxialkabel als Verbindung zwischen dem Rechteckgenerator (z.B. Chiptester HP82000¹⁵) und dem Spannungsteiler dienen. Als Terminierung wird R_0 ($R = 50 \Omega$) benötigt. Um eine Ladung von $Q = 100.000 e^-$ in den Vorverstärker einzukoppeln, muß nach $U = \frac{Q}{C \cdot \frac{R_2}{R_1 + R_2}}$ vor dem Spannungsteiler eine Spannung von $U = 1080 \text{ mV}$ angelegt werden.
- Die elektrischen Ersatzschaltungen einer Microstrip wurden als Signalgenerator benutzt [MK98]. Die Signalform entspricht dem späteren Ausgangssignal der CIP und ermöglicht eine Simulation des Vorverstärkers unter realistischeren Bedingungen.

Der Nachteil von Simulationen mit Microstrip, Vorverstärker und Komparator sind die sehr langen Simulationszeiten. Daher wurde diese Art der Simulation nur vereinzelt durchgeführt.

¹⁵ HP82000: Ein Meßgerät von Hewlett Packard zum Testen von Chips im ASIC-Labor

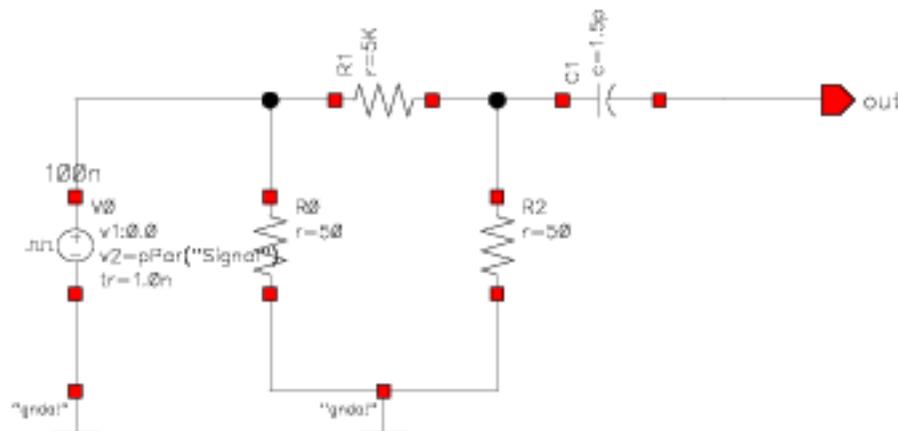
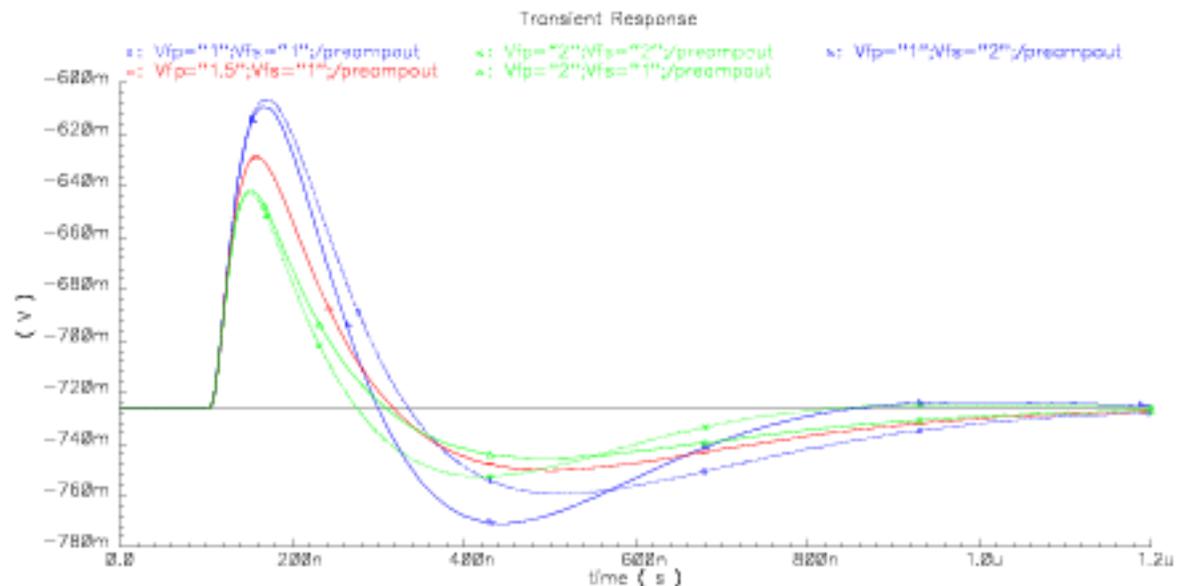


Abb. 4.2: Signaleinkoppelungsstufe

4.1.1. Abhängigkeit des Vorverstärkerausgangs von V_{fp} und V_{fs}

Zunächst wurde das Verhalten des Vorverstärkers bei verschiedenen Werten von V_{fp} und V_{fs} (Größe des Rückkoppelwiderstandes vom Preamplifier und vom Shaper) simuliert. Die Einstellungsgrößen für die Bias-Ströme entsprechen den Standardwerten (vgl. Tab. 3.1 und Tab. 3.2) und wurden bei allen Simulationen beibehalten. Abb. 4.3 zeigt den Ausgang des Vorverstärkers (*preampout*) in Abhängigkeit von V_{fp} und V_{fs} bei einer Lastkapazität von $C_{last} = 40$ pF. Deutlich ist zu erkennen, daß V_{fp} die Signalverstärkung beeinflusst, während V_{fs} den Signalabfall und Unterschwinger steuert.

Abb. 4.3: Verhalten eines Vorverstärker-Ausgangs bei unterschiedlichen Werten von V_{fp} und V_{fs}

Die Simulation zeigt, daß bei einer Lastkapazität von 40 pF das Ausgangssignal des Vorverstärkers ca. 800 ns bis 1000 ns braucht, um wieder zur Grundlinie zurückzukommen. Auf den ersten Blick scheint dies fatal zu sein, da theoretisch alle 100 ns ein Ereignissignal auftreten könnte. Betrachtet man jedoch die Wiederholungswahrscheinlichkeit für einen Kanal bei der alten CIP und extrapoliert diese auf die neue CIP, so erwartet man eine Ansprechwahrscheinlichkeit von wenigen Prozent pro Bunchcrossing [US98].

4.1.2. Abhängigkeit des Vorverstärkerausgangs von der Lastkapazität

Abb. 4.4 zeigt die Abhängigkeit des Eingangs- und Ausgangssignals von der Größe der externen Lastkapazität. Deutlich ist zu erkennen, daß mit größerer Kapazität das Ein- und Ausgangssignal kleiner und flacher wird. Dies kann zu einem Problem werden, da die Referenzspannung des Komparators für größere Kapazitäten immer kleiner programmiert werden muß und somit die Empfindlichkeit auf Störungen und Rauschen steigt. Auch besteht die Möglichkeit, daß der Komparator über mehr als eine Sampling-Periode ein Triggersignal ausgibt, wenn das Signal zu flach ist.

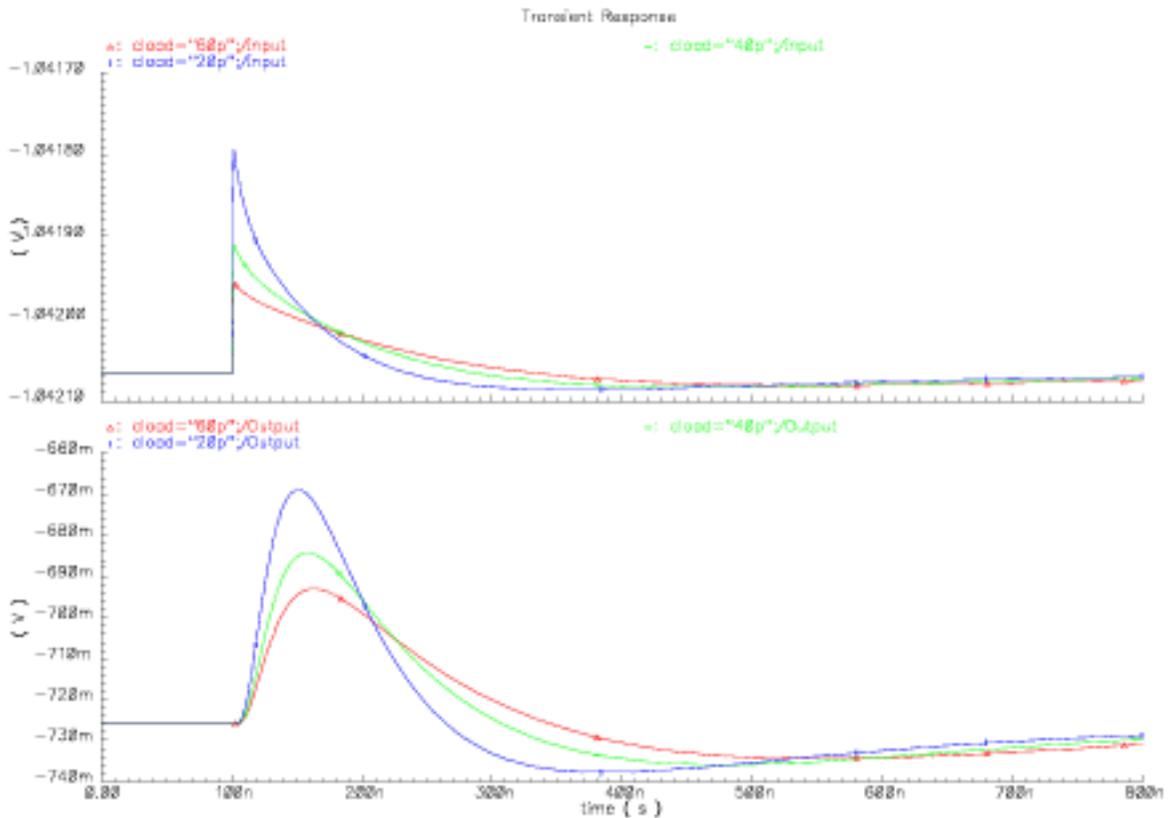


Abb. 4.4: Ein- und Ausgang des Vorverstärkers in Abhängigkeit der externen Lastkapazität

4.1.3. Abhängigkeit des Komparators von V_{ref}

Um die Funktion des Komparators zu überprüfen, wurden verschiedene Simulationen durchgeführt. So wurde unter anderem das Verhalten der Ausgänge in Abhängigkeit des Samplingzeitpunktes und der Referenzspannung V_{ref} untersucht.

Abb. 4.5 zeigt das Ergebnis einer Simulation des Signalverhaltens des Komparators bei unterschiedlichen Referenzspannungen. Das Diagramm ① zeigt einen Ladungspuls von $Q = 100.000 e^-$ bei einer externen Lastkapazität von $C_{last} = 40 \text{ pF}$, eingekoppelt in den Vorverstärker bei $t = 100 \text{ ns}$. Diagramm ③ zeigt das Ausgangssignal des Vorverstärkers, Diagramm ② das gleiche Signal nach der AC-Kopplung ohne eine Offsetverschiebung. Zum besseren Verständnis sind in Diagramm ② die unterschiedlichen Referenzspannungen V_{ref} von 30, 50, 70 und 90 mV eingezeichnet. Liegt die entsprechende Kurve über V_{ref} , liefert der Komparator ein positives Signal. In ④ wird der Ausgang des Differenzverstärkers und des entsprechenden synchronisierten Signals gezeigt.

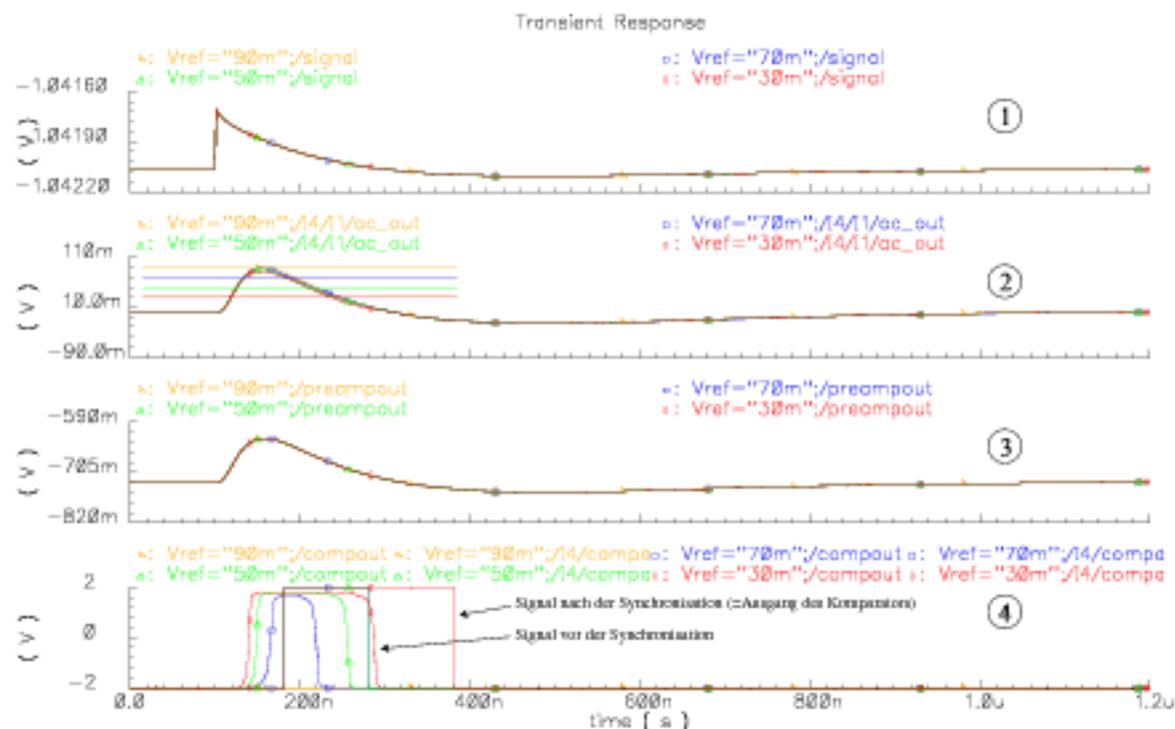


Abb. 4.5: Verhalten des Komparators in Abhängigkeit der Referenzspannung V_{ref}

Der Samplingzeitpunkt des Komparators ist in dieser Simulation 80 ns nach der Einkoppelung des Testsignals und wurde so gewählt, daß das Schaltverhalten bei den unterschiedlichen Referenzspannungen dem Diagramm entnommen werden kann. Bei $V_{ref} = 30\text{ mV}$ (rot) ist der Ausgang des Komparators über zwei Sampling-Perioden aktiv, bei $V_{ref} = 50\text{ mV}$ und $V_{ref} = 70\text{ mV}$ ist der Ausgang nur noch eine Periode aktiv. Der Ausgang reagiert bei $V_{ref} = 90\text{ mV}$ nicht mehr, da hier die Referenzspannung bereits über dem Signal liegt.

4.1.4. Ansprechverhalten

Wie aus den bereits durchgeführten Simulationen zu erkennen ist, benötigt der Ausgang des Vorverstärker mehrere Bunchcrossings, um wieder in den Ausgangszustand zu gelangen. Dies kann dazu führen, daß der Komparator bei hintereinander folgenden Signalen nicht alle detektiert. Daher wurden verschiedene Simulationen aufgestellt, in denen zu unterschiedlichen Zeiten Signale in den Vorverstärker eingekoppelt und verstärkt wurden.

In Abb. 4.6, Abb. 4.7 und Abb. 4.8 werden gleich große Testladungen zu unterschiedlichen Zeiten in den Vorverstärker eingekoppelt. Das Verhalten der Eingangsspannung kann dem ersten Diagramm ① entnommen werden. Diagramm ② zeigt die offsetbereinigte Antwort des Vorverstärkers und ③ das Schaltverhalten des Komparators bei unterschiedlichen Referenzspannungen (V_{ref}) von 40, 50 und 60 mV.

Abb. 4.6 zeigt die Simulation von vier Signalen, die 100, 200, 400 und 500 ns nach dem Start in den Vorverstärker eingekoppelt wurden. Deutlich ist zu erkennen, daß sich die Spannungen der einzelnen Pulse aufaddieren. Der Komparator detektiert den dritten eingekoppelten Ladungspuls bei $t = 500\text{ ns}$ nicht, da dieser sich im Unterschwinger der ersten beiden Pulse befindet.

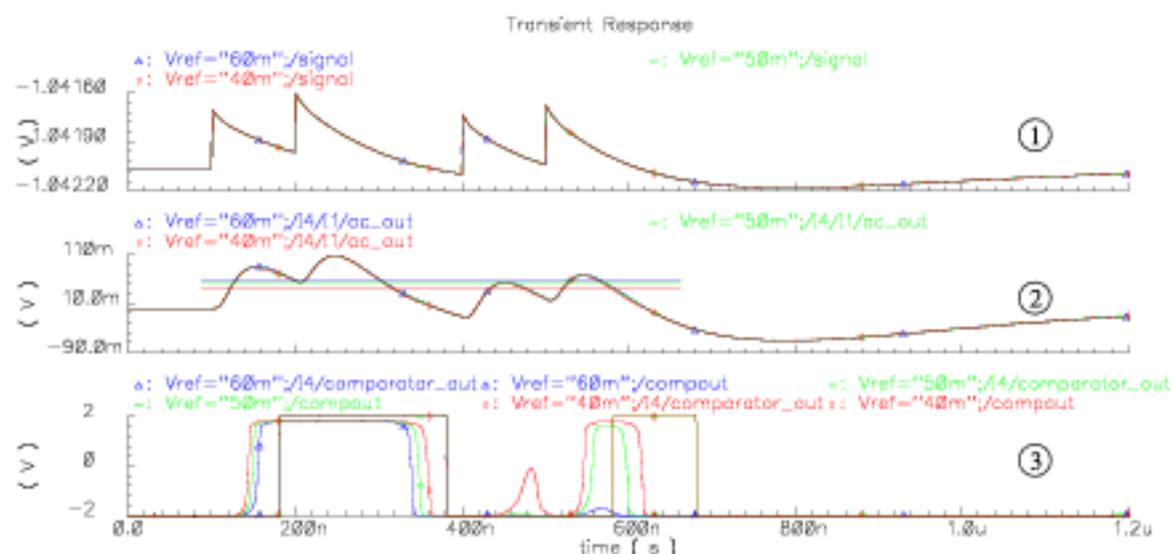


Abb. 4.6: Verhalten des Komparators, eingekoppelte Signale bei 100, 200, 400 und 500 ns

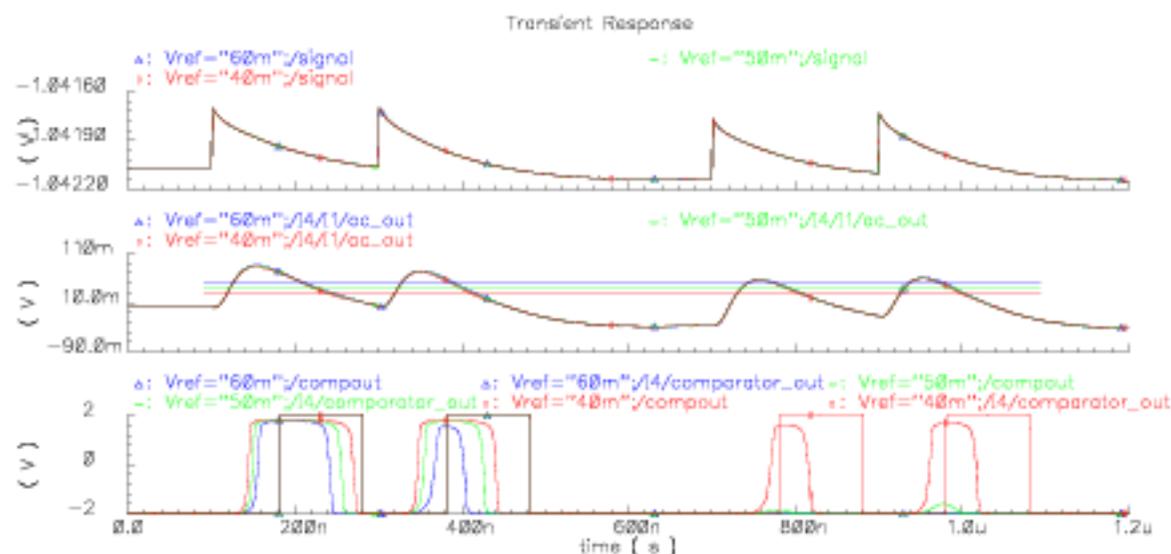


Abb. 4.7: Verhalten des Komparators, eingekoppelte Signale bei 100, 300, 700 und 900 ns

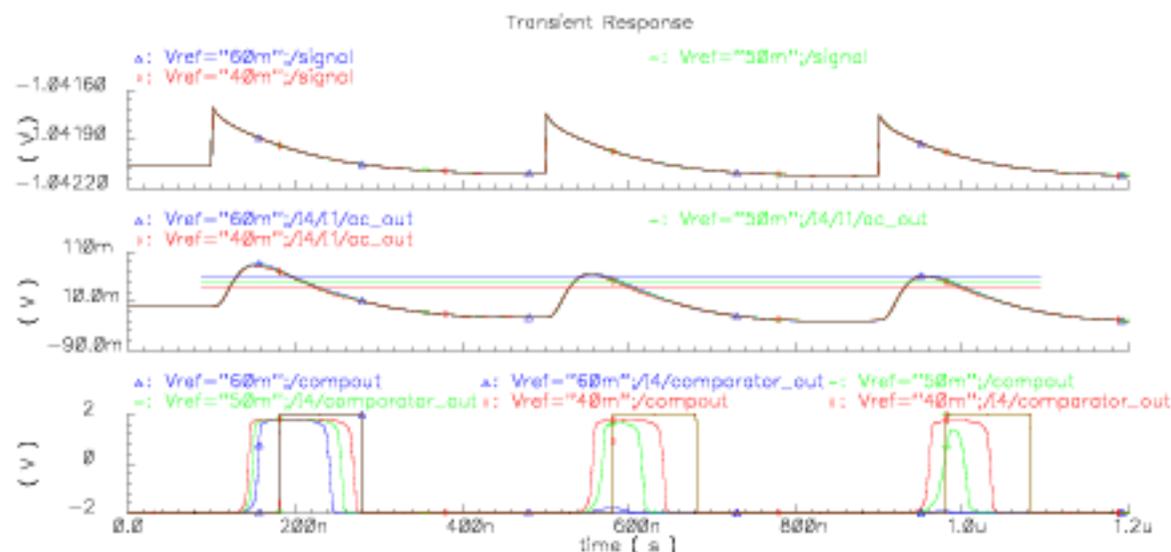


Abb. 4.8: Verhalten des Komparators, eingekoppelte Signale bei 100, 500 und 900 ns

In der Simulation in Abb. 4.7 wurden vier Pulse bei $t = 100, 300, 700$ und 900 ns eingekoppelt. Die Komparatorschwellen wurden so gewählt, daß mit $V_{ref} = 40$ mV alle vier Testpulse detektiert werden. Bei $V_{ref} \geq 50$ mV werden nur die ersten beiden Pulse erkannt, beim dritten und vierten Puls muß der Unterschwinger der vorangegangenen Pulse berücksichtigt werden, so daß die Komparator-Eingangsspannung nicht mehr über die Referenzspannung gelangt.

In den vorangegangenen Simulationen benötigt ein Signal zwischen Einkoppelung des Signals und Rückgang zur Ausgangslage ca. 800 ns. In Abb. 4.8 wurde ein Zeitabstand von 400 ns zwischen den Testpulsen gewählt. Somit sinkt die Spannung des zweiten und dritten Testpulses nicht weiter ab und wird vom Komparator detektiert.

4.1.5. Simulation mit einer Microstrip

Um ein möglichst realistisches Bild von dem späteren Verhalten eines Vorverstärkers an einer Kammer zu erhalten, wurde die elektrische Ersatzschaltung [MK98a] einer Mikrostrip zusammen mit dem Vorverstärker simuliert.

Abb. 4.9 zeigt die Simulationsergebnisse einer zwei Meter langen Mikrostrip zusammen mit dem Vorverstärker des CIPix. Das Testsignal wurde bei $t = 200$ ns am Auslesepad der CIP-Kammer eingekoppelt und durchläuft anschließend die Mikrostrip. Die obere Kurve zeigt die Spannung am Ende der Mikrostrip vor dem Eingang des Vorverstärkers, die untere Kurve die Ausgangsspannung. Deutlich sind zwei kleine Erhebungen im Ausgangssignal *Outtest* zu erkennen, die von Reflexionen in der Mikrostrip stammen.

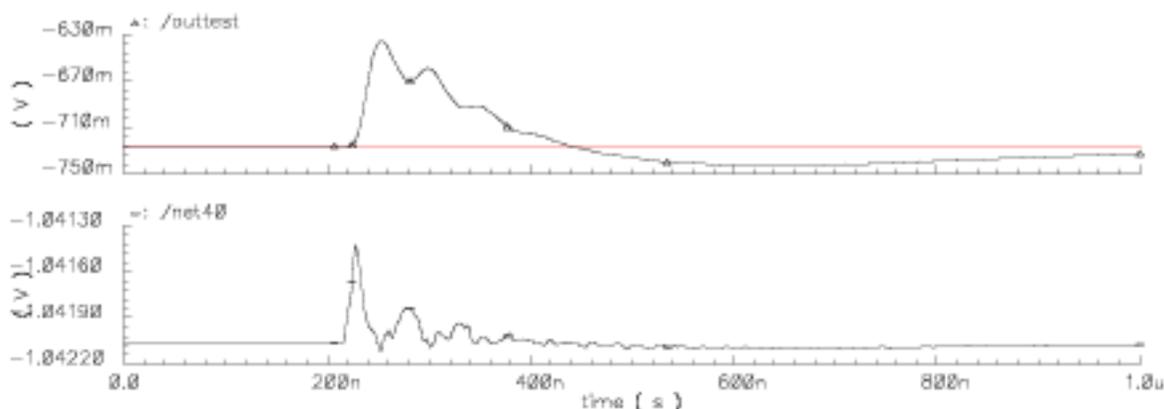


Abb. 4.9: Simulation einer Mikrostrip mit einem CIPix-Vorverstärker

Weitere Simulationen und Messungen über das Verhalten von Mikrostrips können in [MK98] nachgelesen werden.

4.2. Simulation des Multiplexers

Um den entworfenen Schaltplan des Multiplexers zu überprüfen, wurden vier Kanäle ausgewählt und simuliert. Abb. 4.10 zeigt einen Ausschnitt über die wichtigsten internen Signalleitungen des Multiplexers. Die Simulation beginnt mit dem Starten des Multiplexers. Bei $t = 40$ ns wird die *notReset*-Leitung auf „1“ gesetzt, so daß mit der nächsten positiven Flanke von *MuxClk* (entspricht *Rclk*) der Multiplexer seinen Betrieb aufnimmt.

Bei $t = 100$ ns wird ein Testsignal ($CompIn<0>$) in die Simulation eingebracht, das ein positives Signal am Ausgang des Differenzverstärkers darstellt. Dieses Signal wird auf die positive Flanke der Sampling-Clock synchronisiert (hier dargestellt als $CompClk$). $In<0>$ zeigt das synchronisierte Signal und wird mit dem Signal der internen Steuerleitung $Select<0>$ verglichen. Stimmen beide überein, wird ein positives Signal an die Ausgangsleitung $Out<0>$ gegeben. Für die anderen drei simulierten Kanäle gilt der gleiche Signalverlauf.

Die Leitung $EmptyDataSet$ liefert ein positives Signal, wenn eine der 64 Ausgangsleitungen der Komparatoren ein Triggersignal detektiert hat. In dieser Simulation wird die Leitung bei $t = 155$ ns positiv, da auf Kanal 0 ein Triggersignal erkannt wurde.

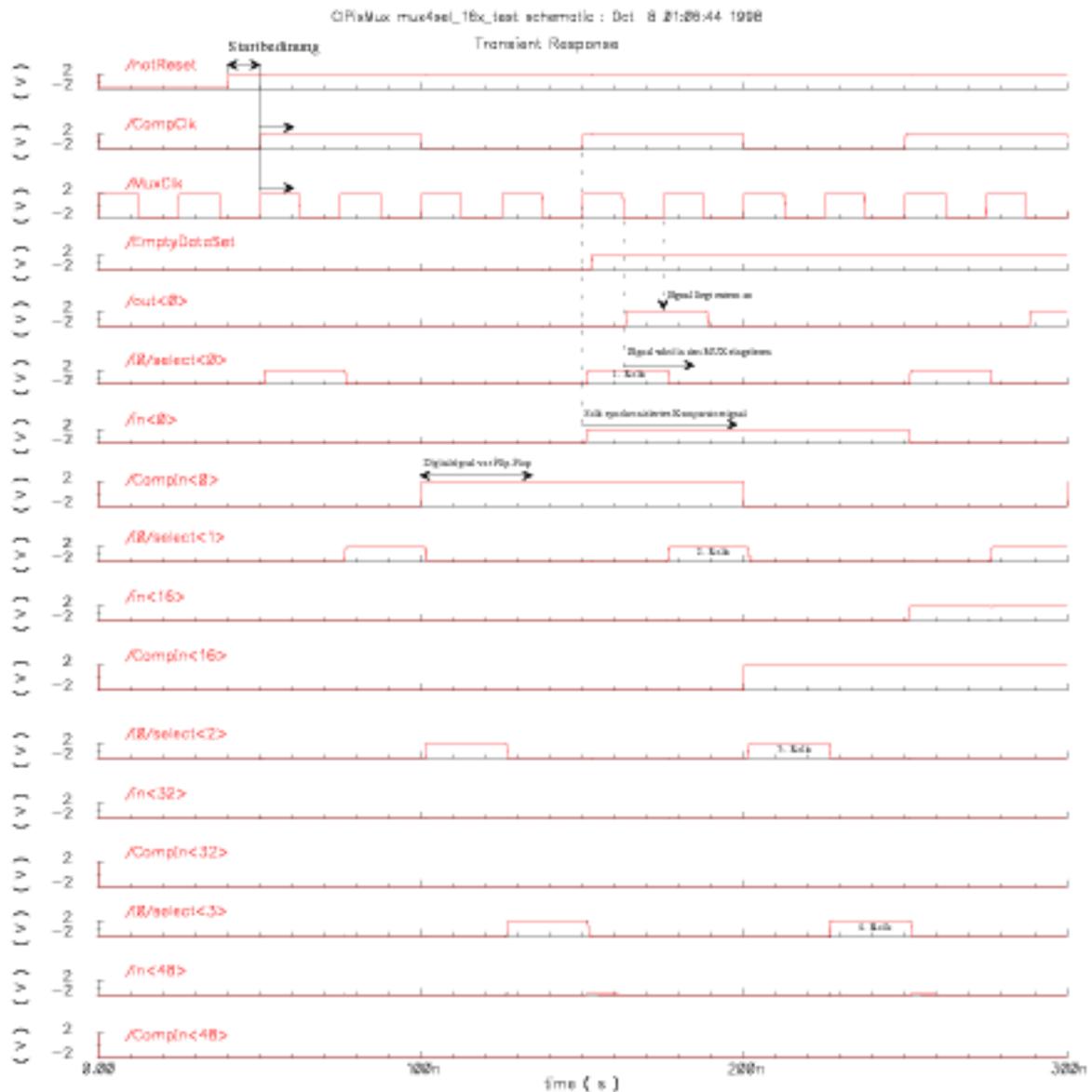


Abb. 4.10: Simulation des Multiplexers

4.3. Simulation der Levelshifterpads

Bei der Entwicklung der Ein- und Ausgabe-Levelshifterstufen wurden ebenfalls mehrere Simulationen durchgeführt. Jedoch konnte eine Simulation der LVDS-Levelshifterstufen aus Zeitgründen vor der Submission nicht mehr durchgeführt werden. Eine nachträgliche Simulation, bei der die Offsetspannung kontinuierlich erhöht wurde, zeigte jedoch, daß die LVDS-Levelshifterstufe nicht bei den Nominalwerten funktioniert.

Abb. 4.11 zeigt die Simulation der LVDS-Levelshifterstufe. Dabei steht *Net36* für die mittlere Offsetspannung, *Net4* entspricht dem positiven Signaleingang der LVDS-Stufe, *Net9* dem negativen Signaleingang, und *Outp2m2* steht für das Ausgangssignal der Levelshifterstufe. Man kann der Simulation deutlich entnehmen, daß bei einer Offsetspannung von ca. 800 mV das Ausgangssignal in Sättigung geht, und die Levelshifterstufe somit unbrauchbar wird. Liegt das Offset bei kleineren Werten, entspricht das Ausgangssignal den Erwartungen.

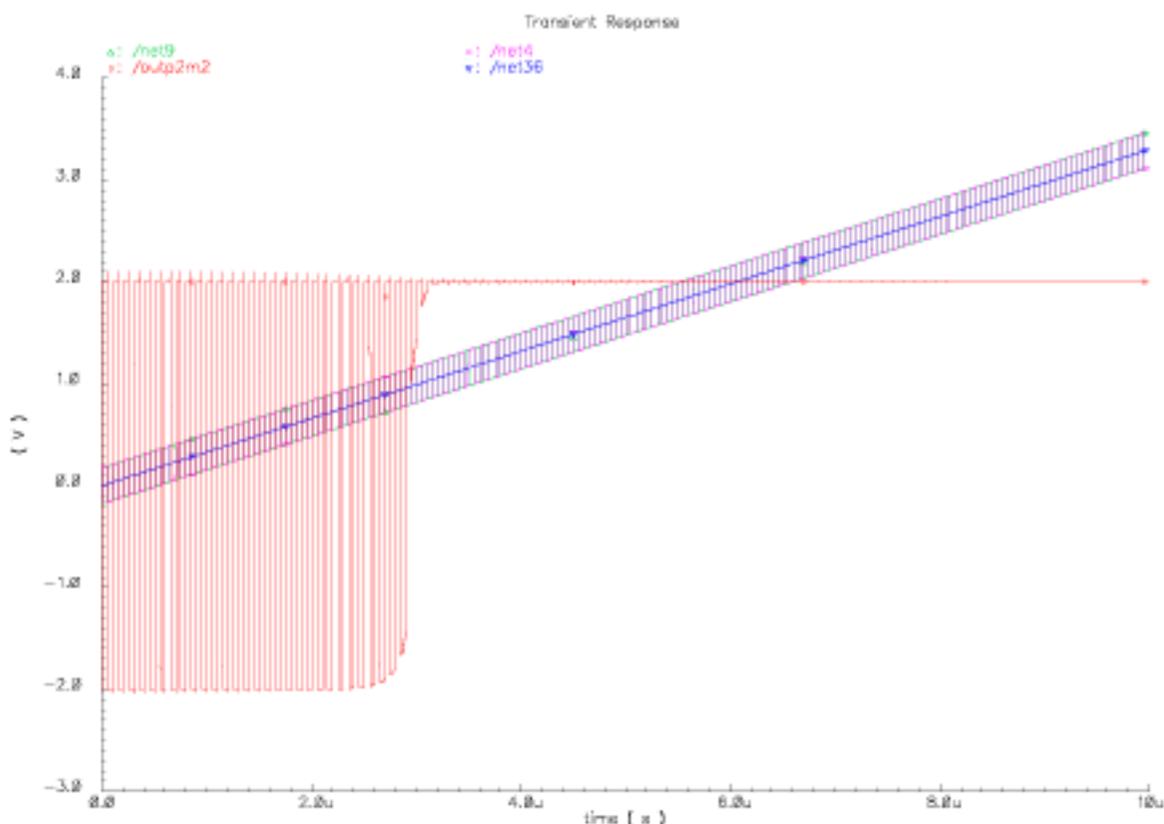


Abb. 4.11: Simulation der LVDS-Levelshifterstufe [DB98]

5. Messungen am CIPix

AMS fertigte 15 CIPix und lieferte diese am 21.10.98 an das ASIC-Labor aus. Um Messungen an diesen vorzunehmen, mußten zunächst die elektrischen Verbindungen hergestellt werden. Der CIPix wurde daher in ein CLCC84-Chipgehäuse geklebt und mit den Pins am Rande des Gehäuses elektrisch durch Bonddrähte verbunden.

Für die externen Verbindungen des CIPix zum Chiptester HP82000 und den Netzgeräten für die Spannungsversorgung wurde eine Leiterplatte gebaut, die die notwendigen Steckverbindungen sowie weitere Testpunkte zur Signalüberwachung enthielt. Außerdem wurden die externen Blockkapazitäten (vgl. Kapitel C, Externe Blockkapazitäten beim CIPix), der Referenzwiderstand für die Biasgeneratoren und eine Testpuls-Einkoppelstufe auf dieser Leiterplatte untergebracht.

Zunächst erfolgte das Aufkleben und Anschließen von lediglich zwei CIPix in einem Gehäuse. An diesen wurden die beschriebenen Messungen durchgeführt.

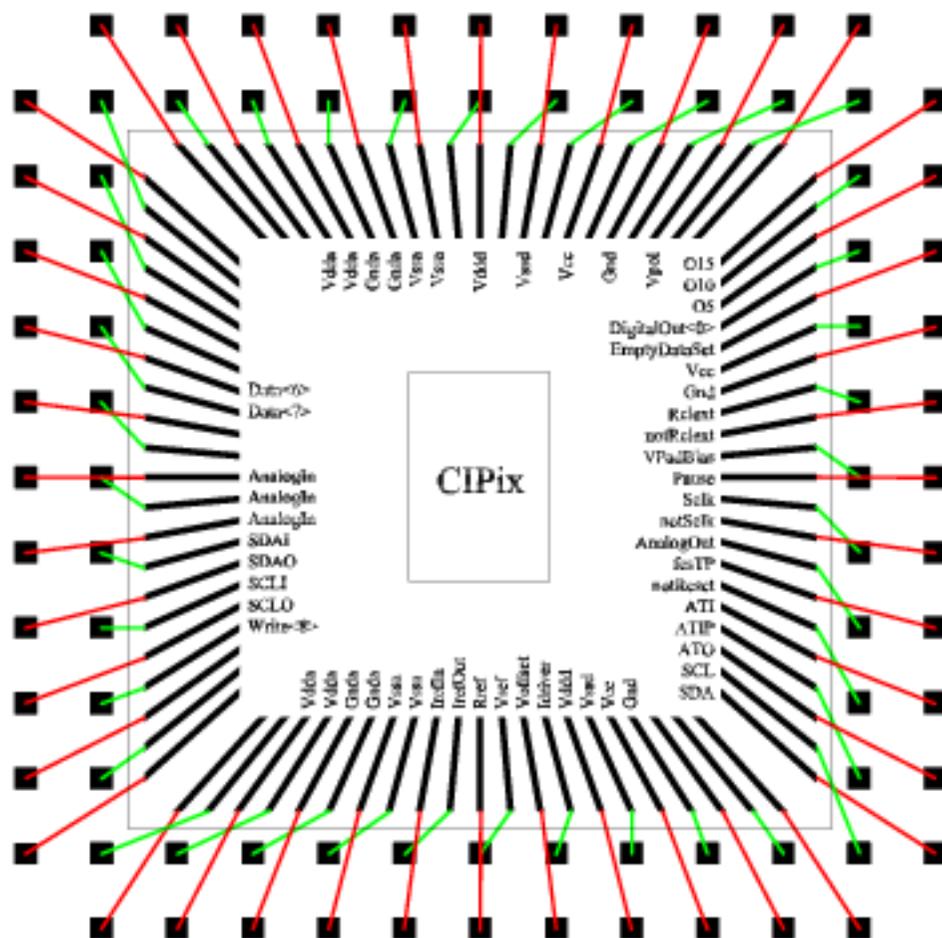


Abb. 5.1: Anschlußbelegung eines CIPix in einem CLCC84-Gehäuse

Abb. 5.1 zeigt die Anschlußbelegung eines CIPix in einem CLCC84-Gehäuse. Bei dieser Gehäuseart existieren 21 Anschlußmöglichkeiten pro Seite. Da der CIPix auf der Vorderseite 64 und auf der Rückseite 33 Anschlüsse besitzt, konnten nicht alle Leitungen angeschlossen werden. Auf der Eingangsseite des CIPix wurden zunächst nur die Eingangskanäle mit dem Gehäuse verbunden, an denen auch spätere Messungen durchgeführt wurden. Auf der Rückseite wurden nur vier der 16 digitalen Multiplexer-Ausgänge angeschlossen. Um die internen Signale auf dem CIPix überprüfen zu können, wurden verschiedene ausgewählt und mit den vorderen Gehäusepins verbunden.

5.1. Levelshifterpads

Die erste Messungen, die am CIPix durchgeführt wurde, war die Überprüfung der Levelshifterpads. An den Eingang einer Eingangs-Levelshifterstufe wurde ein Rechtecksignal von 3,3 V mit einer Frequenz von 10 MHz angelegt. Um das interne Ausgangssignal der Stufe messen zu können, wurde das entsprechende interne Testpad mit einem Gehäusepin verbunden. Da zwischen den internen Leitungen und den Testpads keine Leistungstreiberstufen zwischengeschaltet sind, muß der Meßkopf eines Oszillograph eine sehr kleine Kapazität besitzen.

Abb. 5.2 zeigt das Eingangssignal (Kanal 2), dessen Spannungsbereich zwischen 0 und 3,3 V liegt, sowie das Ausgangssignal (Kanal 1) der Levelshifterstufe mit einem Spannungsbereich von -2 bis +2 V. Der langsamere Anstieg des umgesetzten Signals entsteht durch den Einfluß des Tastkopfes, der in diesem Falle eine Kapazität von ca. 1 pF besitzt.

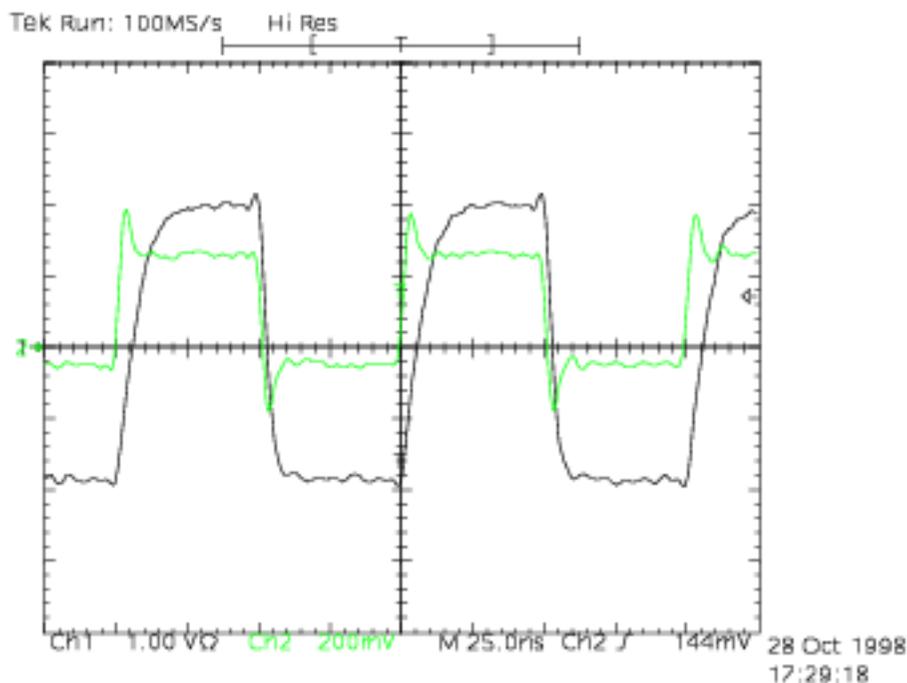


Abb. 5.2: Verhalten eines Clocksignal vor und nach der Levelshifterstufe

Wie bereits in verschiedenen Simulationen gezeigt, geben die LVDS-Ausgangssignale bei einem externen Spannungsoffset von ca. 800 mV in Sättigung. Erste Messungen an den beiden LVDS-Pads bestätigten das in den Simulationen gezeigte Verhalten. Für weitere

Untersuchungen und Messungen am CIPix ist dieses Fehlverhalten jedoch nicht weiter von Bedeutung, da eine Offsetkorrektur der vom Chiptester kommenden Signale sehr leicht zu programmieren ist.

5.2. CIPix-Adressvergabe

Zunächst wurde das Signal des *ATO*-Pads gemessen. Dieses wird positiv, wenn die CIPix-Adresse ermittelt und intern gespeichert wurde. Das dafür benötigte Signal *ATI* wurde vom Chiptester generiert und an den CIPix weitergeleitet. Das Oszillograph-Bild in Abb. 5.3 zeigt, daß der Adress-Generator des CIPix das Token-Signal eines Vorgängers (*ATI*) erkannt hat, da sonst das *ATO*-Signal mit der nächsten positiven *ScIk*-Flanke nicht auf „1“ gehen würde.

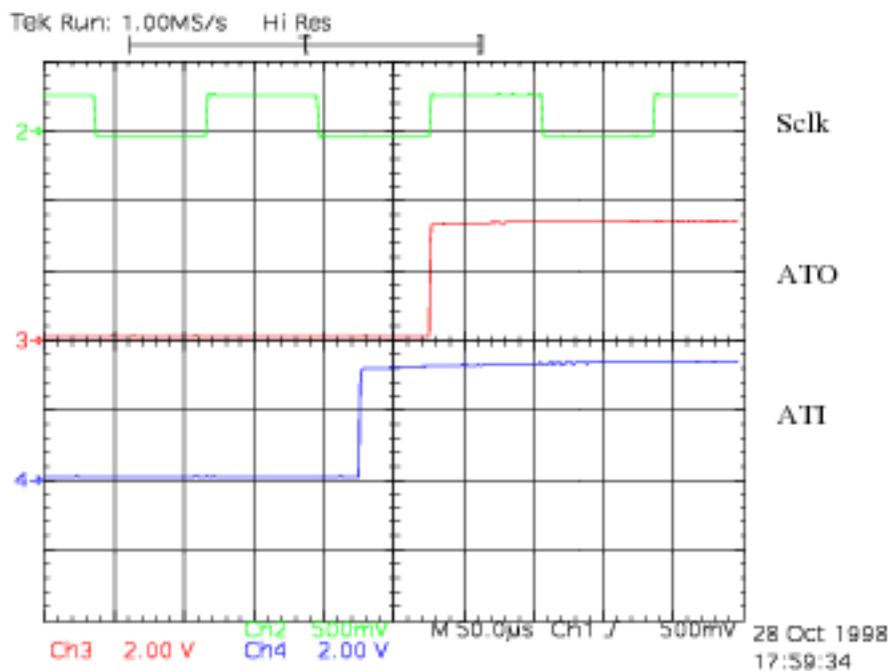


Abb. 5.3: CIPix-Adressvergabe, Messung von *ATO*

Bei einer Messung von *ATO* in Abhängigkeit des *ATI*-Signals verhielt sich der Adress-Generator ebenfalls wie erwartet: Erst nach der zweiten positiven Flanke von *ScIk* veränderte sich *ATO*.

Eine direkte Programmierung eines einzelnen CIPix durch das I²C-Interfaces zeigte, daß die vom CIPix selbst vergebene Adresse mit der erwarteten Adresse übereinstimmte.

5.3. Programmierung des CIPix

Sicherlich war die Inbetriebnahme und Überprüfung des I²C-Interfaces ein wichtiger Meilenstein beim Testen des CIPix. Wären etwa die internen CIPix-Register wegen eines Fehlers im I²C-Interfaces nicht zu programmieren gewesen, hätten weitere Messungen nicht durchgeführt werden können.

Zunächst wurde das Register für die Referenzspannung des Komparators programmiert. Eine Überprüfung bestand in der Messung der am externen Pad anliegenden Spannung V_{ref} . Die in das Register geschriebenen Werte stimmten mit der anliegenden Spannung sehr gut überein. Somit zeigte sich, daß nicht nur das PC-Interface funktionierte, sondern auch die internen Biasgeneratoren ihre Funktionen erfüllten.

In Abb. 5.4 ist die extern am Kondensator anliegende Spannung in Abhängigkeit des programmierten Registerwertes zu erkennen. Es sind kaum Abweichungen von einem linearen Verhalten zu erkennen.

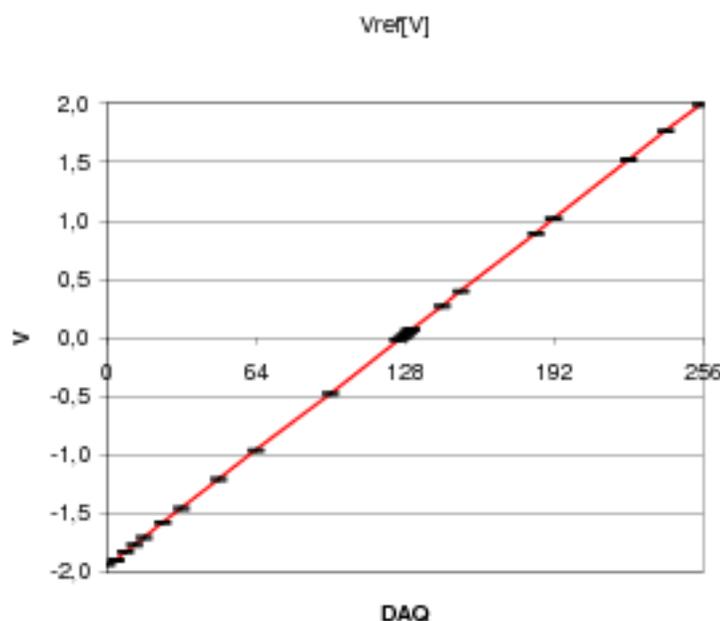


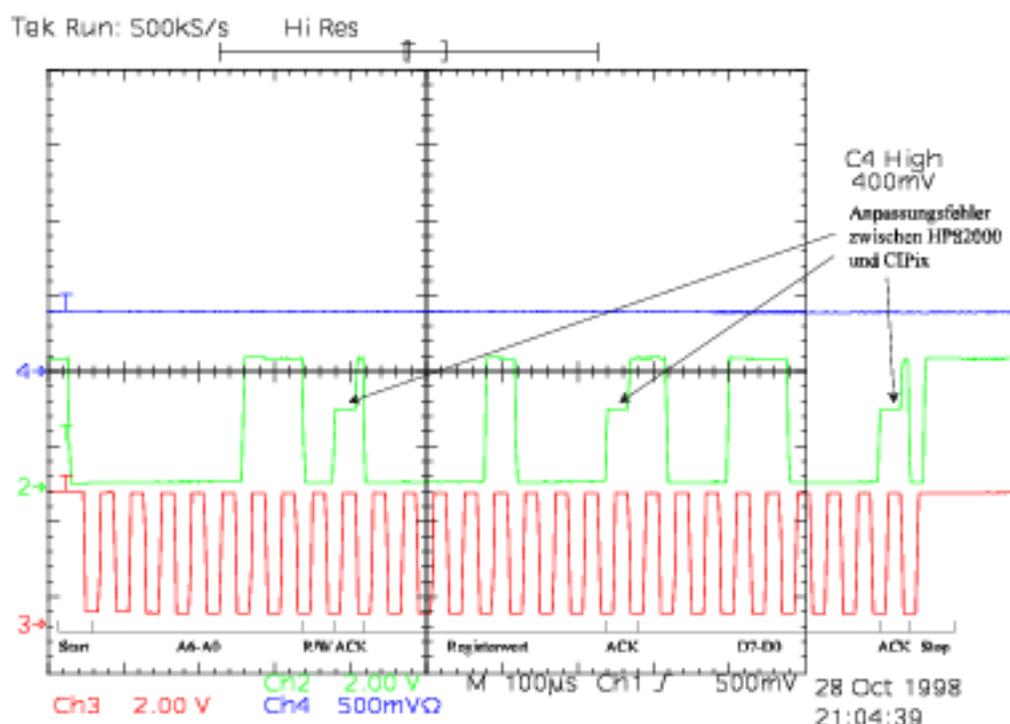
Abb. 5.4: Lineares Verhalten einer internen Spannungsquelle

5.3.1. Überprüfung der Schreibsequenz auf dem PC-Bus

Zwar ist mit der Programmierung der internen Register eine Inbetriebnahme des Vorverstärkers und des Komparators möglich, jedoch ist nicht gewährleistet, ob sich das PC-Interface auch an die in den Spezifikationen festgelegten Sequenzen hält. Es wurde daher mit einem Oszillographen die Schreibsequenz auf dem PC-Bus mit den Bestätigungen (*ACK*) des Interfaces aufgezeichnet.

In Abb. 5.5 handelt es sich um zwei Bildschirmkopien des Oszillographen, die aneinander gereiht wurden. Die drei Pfeile zeigen an die Stelle, bei der das PC-Interface ein *ACK* sendet. Wegen einer Fehlprogrammierung des Chiptesters kommt es an diesen Stellen zu einem Konflikt auf dem PC-Bus, da der Chiptester eine „1“ an den CIPix sendet, und der CIPix mit einer „0“ antwortet.

Unter die einzelnen Taktzyklen wurde deren Bedeutung geschrieben. Dabei steht *R/W* für das Richtungsbit (*Read/notWrite*), *ACK* für das Bestätigungsbit (*Acknowledge*), *Ax* für die Adresse und *Dx* für die Daten.

Abb. 5.5: I²C-Bus-Schreibsequenz

5.3.2. Überprüfung der Lesesequenz auf dem I²C-Bus

Der CIPix besitzt die Möglichkeit, den Inhalt eines Registers auszulesen und über das I²C-Interface auszugeben.

Zur Überprüfung wurde zunächst ein bestimmtes Register mit einem Wert beschrieben und sollte anschließend ausgelesen werden. Bei der Eingabe der Auslesesequenz in den Chip-Tester wurde festgestellt, daß sich die Sequenz nicht an die I²C-Spezifikation hält. Der Fehler wurde zwar verstanden, kann aber erst bei einer nächsten CIPix-Version geändert werden. Bei der hier nun vorliegenden Version muß daher die falsche Auslesesequenz benutzt werden.

In Abb. 5.6 ist der Mitschnitt von zwei Lesesequenzen auf dem I²C-Bus zu sehen. Kanal 2 des Oszillographen zeigt die I²C-Leitung *SDA*, Kanal 3 die Leitung *SCL*. Die Kurve auf Kanal 4 ($U_4 = 400 \text{ mV}$) zeigt die Spannung V_{ref} . Der dieser Spannung zugeordnete Registerwert (Register \$8) soll von den beiden Sequenzen ausgelesen werden.

Die linke Lesesequenz wurde gemäß den I²C-Spezifikationen an den CIPix gesendet. Es ist deutlich zu sehen, daß das Interface die ersten beiden I²C-Bus-Sequenzen (1: 10-Bit-Adressmodekennung und die ersten beiden Adressbits; 2: restliche Adressbits sowie das auszulesende Register) noch mit einem ACK bestätigt, die weiteren Sequenzen werden jedoch nicht mehr verstanden.

Der rechte Ausdruck entspricht der Lesesequenz des CIPix 1.0. Hier wird der Registerwert in der dritten Sequenz *D7-D0* (#1001100) vom Interface ausgegeben. Dieser Wert entspricht der gemessenen Spannung.

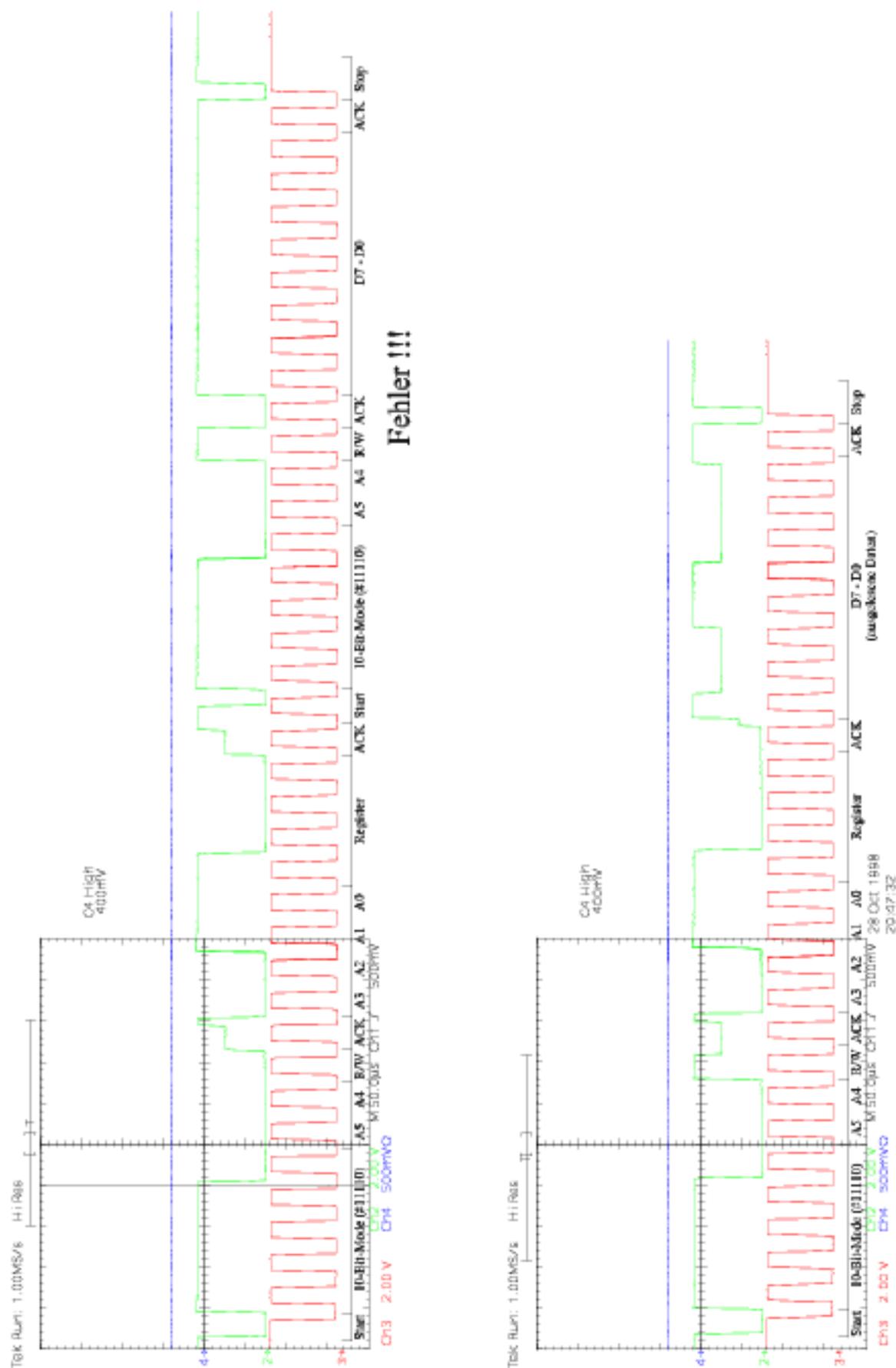


Abb. 5.6: PC-Bus-Lesesequenz, gemäß PC-Spezifikationen (links) und auf dem CIPix 1.0 (rechts)

5.4. Messung der Referenzspannung

Bei Messungen am HELIX wurde eine Oszillation der über den Referenzwiderstand abfallenden Spannung festgestellt. Da dieser Referenzwiderstand dazu benutzt wird, den intern benötigten Referenzstrom I_{ref} zu generieren, wirkt sich die Schwingung auf die generierten Biasströme und Biasspannungen negativ aus.

Da der CIPix die gleichen Biasgeneratoren wie der HELIX benutzt, wurde auch beim CIPix der Spannungsabfall über R_{ref} gemessen. In Abb. 5.7 kann im linken Bild die gemessene Schwingung von 4,14 MHz abgelesen werden. Schließt man parallel zum Referenzwiderstand eine Kapazität von 10 nF an, wird nur noch eine Frequenz von 23,32 kHz gemessen.

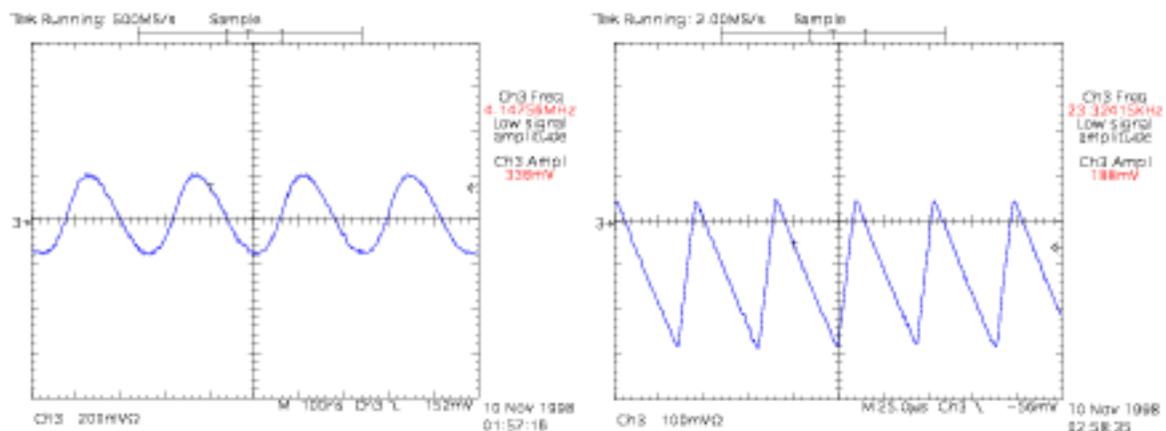


Abb. 5.7: Spannungsverhalten am externen Referenzwiderstand R_{ref} ohne (links) und mit (rechts) 10 nF Blockkapazität

5.5. Ausgabe eines Testsignals an AnalogOut

Eine der letzten Messungen war die Überprüfung von eingekoppelten Testsignalen am analogen Ausgang des CIPix. Zunächst wurde durch das PC-Interface der CIPix so programmiert, daß die Ausgabe des CIPix-Kanals Nummer 21 an dem analogen Ausgang erfolgt. Weiter wurde das Testpulsregister $TpReg$ so programmiert, daß nur auf den vier einzelnen Kanälen ein Testpuls eingekoppelt werden und die Auslösung nur durch ein externes Signal geschehen kann.

Abb. 5.8 stellt vier Bildschirmaufnahmen der Oszillographen dar. Diese zeigen eine Testpulse von 100.000 e^- bei unterschiedlichen Werten von Vfs . Die Systemtakte $ScIk$ und $RcIk$ wurden für diese Messungen ausgeschaltet, um ein externes Übersprechen auf der Leiterplatte zu unterdrücken.

Channel 21 - +100.000 e⁻

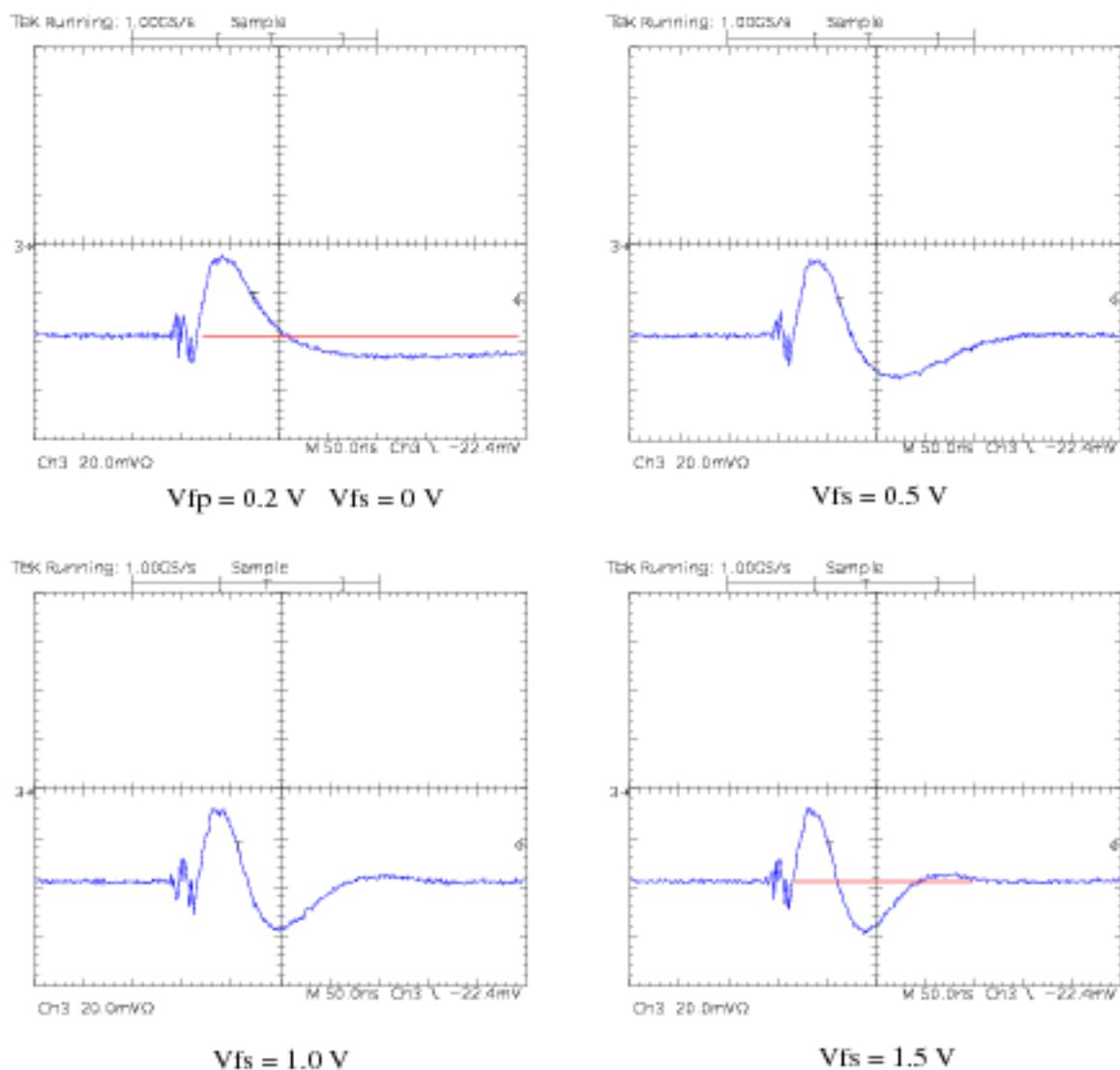


Abb. 5.8: Analoges Ausgangssignal eines Testpulses bei unterschiedlichen Werten von V_{fs}

6. Zusammenfassung und Ausblick

Aufgabe dieser Diplomarbeit war die Charakterisierung und Entwicklung eines neuen integrierten Schaltkreises CIPix 1.0. Dieser wird zur Auslese der neuen CIP-Kammer im H1-Experiment verwendet und sollte möglichst schnell und kostengünstig zur Verfügung stehen. Daher wurde der CIPix so konzipiert, daß man wesentliche Komponenten des bereits vorhandenen ASIC HELIX128-2.2 übernehmen konnte.

In den ersten Monaten wurden daher Messungen an den Komparatoren des HELIX128-2.1, einer Vorgängerversion des HELIX128-2.2, durchgeführt und versucht, die aufgetretenen Probleme zu erklären. Anfang März wurden die Schaltpläne des Vorverstärkers und der Komparatoren vom HELIX überspielt und zu einer ersten CIPix-Version zusammengefügt. Gleichzeitig wurden Simulationen durchgeführt, um das Verhalten des Vorverstärkers für große Lastkapazitäten zu charakterisieren. Ende Mai / Anfang Juni waren alle Simulationen abgeschlossen, und es wurde mit dem Layout des CIPix begonnen. Schließlich wurden am 11. September 1998 die Layout-Daten der ersten CIPix-Version 1.0 an AMS weitergeleitet und dort in den folgenden Wochen produziert.

Am 21. Oktober wurden von AMS 15 Chips ausgeliefert. Es wurden daraufhin erste Tests durchgeführt und gezeigt, daß die wesentliche Funktionalität des CIPix erfüllt ist.

In der Nachfolgeversion des CIPix werden verschiedene Neuerungen implementiert, die hier aufgelistet werden:

- Einbau einer PLL (*Phase Locked Loop*) zur Generierung der internen Multiplexer-Taktfrequenz.
- Die Ausgabereihenfolge der Kanäle am Ausgang des Multiplexers wird verändert.
- Es werden zwei unterschiedlich programmierbare Referenzspannungen für die Komparatoren implementiert. Die erste wird für die Kanäle 0 bis 31, die zweite für die Kanäle 32 bis 63 zuständig sein.
- Um die Temperatur in unmittelbarer Umgebung zu messen, wird ein Temperatursensor auf dem CIPix integriert.
- Die Auslesesequenz entspricht bei der vorliegenden Version nicht den PC-Spezifikationen und wird bei der nächsten Version entsprechend geändert.
- Änderung in der Auswertung der Register *AnalogOut* und *TpReg*, so daß keine Sampling-Clock mehr benötigt wird.
- Verschiebung des *AnalogOut*-Pads, um eventuelles Übersprechen der Sampling-Clock zu vermeiden.

- Änderungen des Schaltpunktes der LVDS-Pads zur Einhaltung des in den LVDS-Spezifikationen definierten Signalbereichs.

Ein Meßaufbau für präzise Messungen der Schalteigenschaften des CIPix befindet sich zur Zeit im Aufbau. Erste Meßergebnisse werden in Kürze erwartet und können in [DB99] nachzulesen sein.

Eventuelle weitere Änderungen am CIPix, die sich aus den gewonnenen Erkenntnissen ergeben, werden ebenfalls in die nächste Submission Mitte 1999 einfließen.

A. CIPIX Pad-Beschreibung

Allen Pads auf dem CIPIX wurde eine Referenznummer zugeordnet, die in der linken, oberen Ecke beginnt und gegen den Uhrzeigersinn läuft. Eine genaue Bemaßung der Pads kann Abb. A.1 entnommen werden; die zu den Pads gehörenden Signale sind in Tab. A.1 bis Tab. A.5 aufgeführt.

A.1. Pads vorne

Die analogen Eingänge sind auf der Vorderseite des CIPIX angeordnet. Die Pads haben einen Pitch-Abstand von 100 μm und sind in zwei Reihen angeordnet.

Ref.no.	Pin name	Type	Description
1	AnalogIn<0>	input	input of channel 0
2	AnalogIn<1>	input	input of channel 1
3	AnalogIn<2>	input	input of channel 2
:	:	:	:
64	AnalogIn<63>	input	input of channel 63

Tab. A.1: Pads an der Vorderseite des CIPIX 1.0. Das erste Pad in der Tabelle entspricht dem obersten Pad auf dem CIPIX.

A.2. Pads unten

Die unteren Pads des CIPIX sind in einem Abstand von 200 μm angeordnet.

Ref.no.	Pin name	Type	Description
65	Vdda	supply	positive analog supply voltage (+2 V)
66	Vdda	supply	positive analog supply voltage (+2 V)
67	Gnda	supply	analog ground (0 V)
68	Gnda	supply	analog ground (0 V)
69	Vssa	supply	negative analog supply voltage (-2 V)
70	Vssa	supply	negative analog supply voltage (-2 V)
71	IrefIn	input	reference current input for internal current DAC: may either be connected to an external reference current source or to the IrefOut pin, if internal reference current source is used.
72	IrefOut	output	output of internal reference current source
73	Rref	output	to be connected to external resistor (20 $\text{k}\Omega$ to -2 V) if internal reference current source is used.
74	Vref	blocking output	to be connected to external blocking capacitor (100 nF to Gnd)
75	Voffset	blocking output	to be connected to external blocking capacitor (100 nF to Gnd)
76	Idriver	blocking output	to be connected to external blocking capacitor (100 nF to Gnd)
77	Vddd	supply	positive digital supply voltage (+2 V)
78	Vssd	supply	negative digital supply voltage (-2 V)
79	Vcc	supply	digital I/O power supply (3,3 V)
80	Gnd	supply	digital ground (0 V)

Tab. A.2: Pads an der Unterseite des CIPIX. Das erste Pad in der Tabelle entspricht dem linken Pad.

A.3. Pads hinten

Die Pads auf der Rückseite haben einen Pitch-Abstand von 200 μm .

Ref.no.	Pin name	Type	Description
81	SDA	input/output	PC-bus serial data input/output
82	SCL	input/output	PC-bus serial clock input/output
83	ATO	output	Address Token Out: token output for addressing procedure
84	ATIP	input	Address Token In from Penultimate chip: token input for addressing procedure
85	ATI	input	Address Token In: token input for addressing procedure
86	notReset	input	active low power-on reset
87	fcSTP	input	digital test pulse input: the rising edge signals moment of charge injection
88	AnalogOut	output	serial analog output
89	notSelk	LVDS-input	active low sampling clock
90	Sclk	LVDS-input	active high sampling clock (i.e. the bunchcrossing clock of 10,4 MHz)
91	Pause	test input	PC-bus input forcing the bus-master into a wait state
92	VPadBias	input/output	external reference voltage for I/O-pads; to be used, if a voltage greater than the internally generated one (2,5 V) is needed.
93	notRelkext	LVDS-input	inverted readout clock for data multiplexer
94	Relkext	LVDS-input	active high readout clock for data multiplexer (41,6 MHz i.e. 4-fold Sclk)
95	Gnd	supply	digital ground (0 V)
96	Vcc	supply	digital I/O power supply (3,3 V)
97	EmptyDataSet	output	active-low control signal for external multiplexer, indicating if there are no input signals on the 64 input pads. It is generated as an OR of all input channels.
98	DigitalOut<0>	output	digital output of channels 0, 16, 32 and 48
99-112			
113	DigitalOut<15>	output	digital output of channels 15, 31, 47 and 63

Tab. A.3: Pads an der Rückseite des CIPix 1.0. Das erste Pad in der Tabelle entspricht dem untersten Pad auf dem CIPix.

A.4. Pads oben

Die Pads auf der Oberseite haben einen Pitch-Abstand von 200 μm .

Ref.no.	Pin name	Type	Description
114	Vpol	input	polarity switch for comparator; 0 V: detection of negative signals; 3,3 V: detection of positive signals
115	Gnd	supply	digital ground (0 V)
116	Vcc	supply	digital I/O power supply (3,3 V)
117	Vssd	supply	negative digital supply voltage (-2 V)
118	Vddd	supply	positive digital supply voltage (+2 V)
119	Vssa	supply	negative analog supply voltage (-2 V)
120	Vssa	supply	negative analog supply voltage (-2 V)
121	Gnda	supply	analog ground (0 V)
122	Gnda	supply	analog ground (0 V)
123	Vdda	supply	positive analog supply voltage (+2 V)
124	Vdda	supply	positive analog supply voltage (+2 V)

Tab. A.4: Pads an der Oberseite des CIPix. Das erste Pad in der Tabelle entspricht dem rechten Pad.

A.5. Testpads auf dem CIPix

Die Pads mitten auf dem CIPix sind nur für Testzwecke eingebaut worden. Sie haben einen Zeilenabstand von 80 μm und einen Spaltenabstand von 146 μm .

Ref.no.	Pin name	Type	Description
125	data<0>	test input/output	internal data bus
126	data<1>	test input/output	internal data bus
127	data<2>	test input/output	internal data bus
128	data<3>	test input/output	internal data bus
129	data<4>	test input/output	internal data bus
130	data<5>	test input/output	internal data bus
131	data<6>	test input/output	internal data bus
132	data<7>	test input/output	internal data bus
133	write<1>	test input/output	write enable for DAC register
134	write<2>	test input/output	write enable for DAC register
135	write<3>	test input/output	write enable for DAC register
136	write<4>	test input/output	write enable for DAC register
137	write<5>	test input/output	write enable for DAC register
138	write<6>	test input/output	write enable for DAC register
139	write<7>	test input/output	write enable for DAC register
140	write<8>	test input/output	write enable for DAC register
141	write<9>	test input/output	write enable for DAC register
142	read<8>	test input/output	read enable for DAC register
143	Vfp	test output	preamplifier V_{fp} voltage
144	Vfs	test output	shaper V_{fs} voltage
145	Ipre	test output	preamplifier bias current I_{pre}
146	Isha	test output	shaper bias current I_{sha}
147	Ibuf	test output	buffer bias current I_{buf}
148	Icomp	test output	comparator bias current I_{comp}
149	VPadRef	test input/output	external reference voltage (1,65 V) for I/O-pads
150	ATIPint	test input	token input for addressing procedure; connected internally to ATIP
151	ATIint	test input	token input for addressing procedure; connected internally to ATI
152	ATOint	test output	token output for addressing procedure; connected internally to ATO
153	SDAI	test input	PC-bus serial data input; connected internally to SDA
154	SDAO	test output	PC-bus serial data output; connected internally to SDA
155	SCLJ	test input	PC-bus serial clock input; connected internally to SCL
156	SCLO	test output	PC-bus serial clock output; connected internally to SCL
157	notResetint	test input	active low power-on reset; connected internally to notReset
158	fesTPint	test input	digital test pulse input; connected internally to fesTP
159	Relkint	test input/output	active high readout clock for data multiplexer; connected internally to Relk
160	Selkint	test input/output	active high sampling clock; connected internally to Selk

Tab. A.5.: Beschreibung der Testpads auf dem CIPix 1.0. Die Numerierung beginnt in der oberen rechten Ecke.

B. Layout des CIPix

Auf den nächsten beiden, sich gegenüberliegenden Seiten wurde in Abb. B.2 das vergrößerte Layout des CIPix 1.0 abgedruckt. In Abb. B.1 wird ein schematischer Überblick gegeben, wo sich die wichtigsten Komponenten auf dem CIPix befinden.

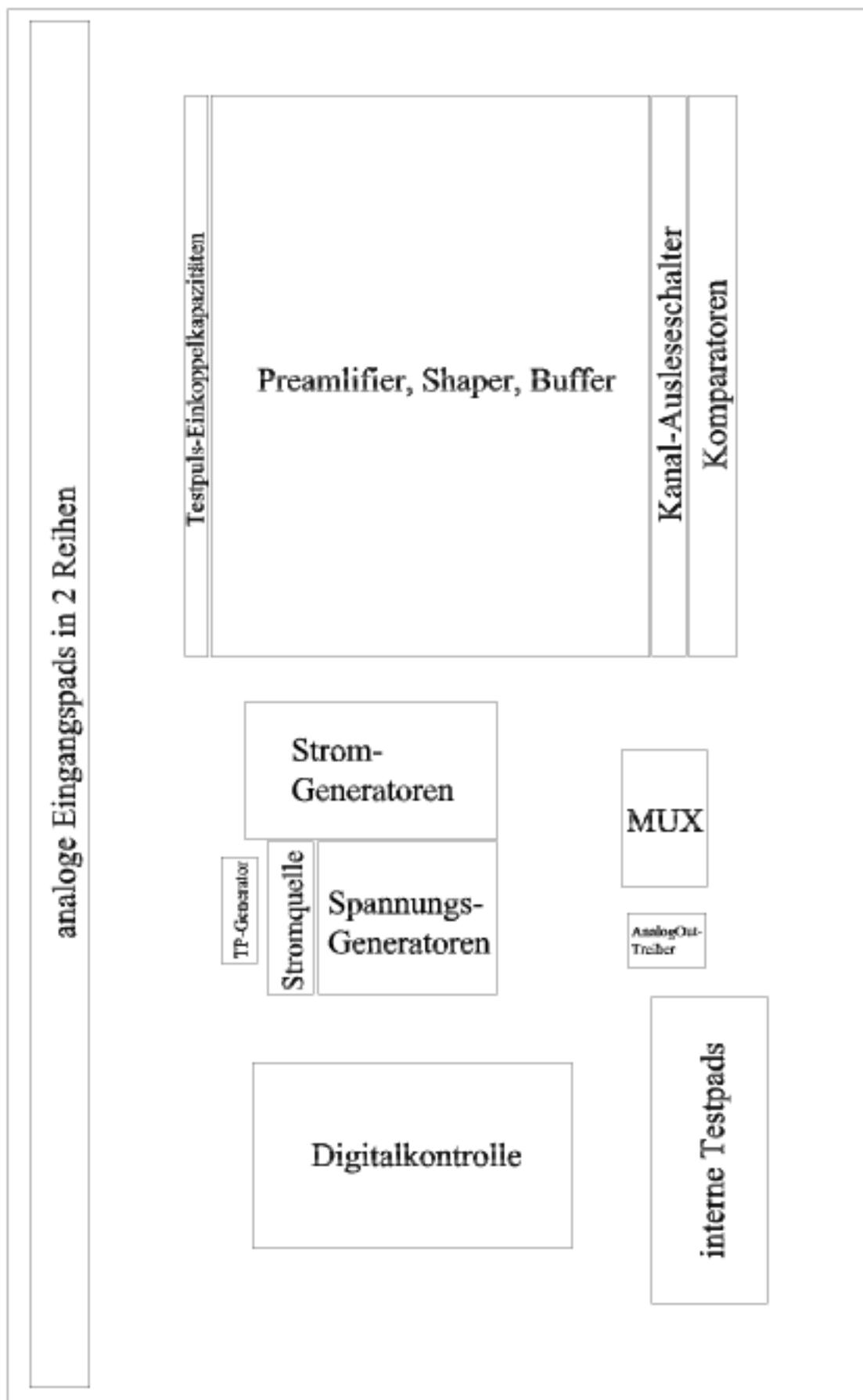


Abb. B.1: Lokalisierungshilfe für Layout-Komponenten

Literaturverzeichnis

- [BG97] B. Glass: *Analoge Auslese und Triggerelektronik für Mikrostreifen-Gaszähler*, Diplomarbeit, Universität Heidelberg, Physikalisches Institut, ASIC-Labor, 1997
- [BI91] W. Buchmüller und G. Ingelmann, Hrsg. *Proceedings of the Workshop Physics at HERA*, 1991
- [CIP98a] D. Baumeister, M. Feuerstack-Raible, S. Löchner: *Specification of CIPix*, ASIC-Labor, CIP-Upgrade 2000, Version 2.0, Juni 1998
- [CIP98b] D. Baumeister, M. Feuerstack-Raible, S. Löchner: *CIPix User Manual*, ASIC-Labor, CIP-Upgrade 2000, Version 1.0, Oktober 1998
- [DB98] D. Baumeister: *Simulation der LVDS-Levelshifterstufe*, private Mitteilung, ASIC-Labor, Oktober 1998
- [DB99] D. Baumeister: *Entwicklung des CIPix*, Diplomarbeit, Universität Heidelberg, Physikalisches Institut, ASIC-Labor, beendet voraussichtlich Anfang 1999
- [ES97] E. Sexauer: *Charakterisierung des HELIX 128 Auslesechips für HERA-B*, Diplomarbeit, Universität Heidelberg, Max-Planck-Institut für Kernphysik Heidelberg, ASIC-Labor, 1997
- [H1 97b] H1 Collaboration: *The H1-Detector at HERA*. A386. Nuclear Instruments and Methods in Physics Research, 1997
- [H1 98] Internet H1-Homepage, Hamburg: <http://www-h1.desy.de>
- [HB96] H. Beck: *Principles and Operation of the z-Vertex Trigger*, H1 Collaboration, H1-05/96-479, 1996
- [PC98] Philips Semiconductors: *The PC-bus and how to use it (including specifications)*, <http://www-us2.semiconductors.philips.com/i2c/facts/#specification>
- [MFR98] M. Feuerstack-Raible, *Entwicklung einer Eingangs- und einer Ausgangs-Levelshifterstufe*, Schaltplan und Layout, 1998
- [MK98] M. Kollak: *Entwicklung einer Stripline-Auslese für Kathodensignale einer langen, zylindrischen Vieldrahtproportionalzählkammer*, Diplomarbeit, Universität Heidelberg, Physikalisches Institut, 1998
- [MK98a] M. Kollak: *Elektrische Simulationsdaten einer Mikrostrip*, persönliche Mitteilungen, Physikalisches Institut, 1998

- [MK98b] M. Keller: *Animation des CMOS-Produktionsprozess*, ASIC-Labor, 1998.
- [KM92] K. Müller et al: *Construction and performance of a thin cylindrical multiwire proportional chamber with cathode pad readout for the H1-experiment*, Seiten 457-466. A312. Nuclear Instruments and Methods in Physics Research, 1992.
- [SE92] S. Eichenberger et al: *A fast pipelined trigger for the H1 experiment based on multiwire proportional chamber signals*, Nuclear Instruments and Methods in Physics Research, A323 (1992) 532
- [US98] U. Straumann: *Diskussion während eines CIP-Arbeitsmeetings*, 1998
- [UT98] U. Trunk: *private Mitteilungen*, 1998
- [WFB98] W. Fallot Burghardt: *A CMOS Mixed-Signal Readout Chip for the Microstrip Detectors of HERA-B*, Dissertation, Universität Heidelberg, ASIC-Labor, 1998

Danksagung

An dieser Stelle möchte ich mich ganz herzlich bei all denjenigen bedanken, die mich während meiner Diplomarbeit unterstützt haben.

Besonderer Dank gilt:

- Herrn Prof. Dr. Straumann für die interessante und sehr abwechslungsreiche Aufgabenstellung. Durch seine Diskussionsbereitschaft, die stets offene Tür und seine angenehme Form der Betreuung hat mir die Arbeit in diesem Jahr viel Spaß bereitet.
- Herrn Prof. Dr. von Krogh für die freundliche Übernahme der Zweitkorrektur.
- Herrn Dr. Martin Feuerstack-Raible für die Betreuung dieser Arbeit im ASIC-Labor.
- Frau Dr. Katharina Müller für Ihre Anregungen, aufmunternden Worte und wertvolle Hilfe bei der Korrektur.
- Herrn Daniel Baumeister für die vielen gemeinsam verbrachten Stunden, in denen wir über den CIPix gebrütet haben.
- Herrn Edgar Sexauer für die nette, amüsante Zusammenarbeit, auch außerhalb des ASIC-Labors.
- Herrn Harald Deppe für die freundliche Übernahme meiner Telefongespräche mit „meinem besten Freund“.
- Herrn Boris Glass für seine intensive Geduld bei meiner Einführung im ASIC-Labor und den gelungenen „HERA-B-Ausflug“.
- Herrn Ulrich Trunk für seine Hilfestellungen und Hinweise während meiner Arbeit.
- Herrn Dr. Wolfgang Fallo-Burghardt für die vielen Ratschläge und Hinweise bei meiner Arbeit am HELIX.
- Herrn Michael Kollak, der es geschafft hat, mich mit seinen immer neueren Modellen der Kapazitätsminimierung in Erstaunen zu versetzen.
- Herrn Michael Keller der, allzeit gesprächsbereit, immer ein passendes Wort fand.
- Dem gesamten ASIC-Labors für die sehr angenehme Arbeitsatmosphäre.
- Der gesamten H1 und HERA-B Arbeitsgruppe für die schöne Zusammenarbeit.
- Meinen Eltern, die mir mein Studium ermöglicht und mich jederzeit unterstützt haben.
- Sabine Schwöbel für ihre unendliche Geduld vor der Submission und während des Zusammenschreibens meiner Arbeit.

Erklärung:

Ich versichere, daß ich diese Arbeit selbständig verfaßt und keine anderen als die angegebenen Quellen und Hilfsmittel benutzt habe.

Heidelberg, den 21.12.1998

.....
Sven Löchner