

Schneller Spurlink und -fit des

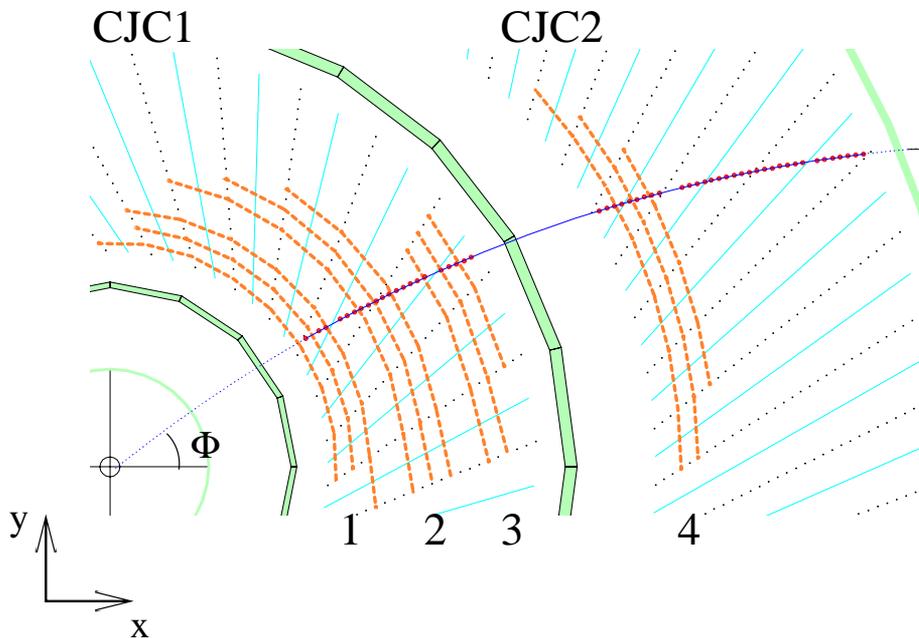


Fast Track Triggers

Christoph Wissing
Universität Dortmund

- 1.) Einführung
- 2.) Spurlink
- 3.) Fit der Spurparameter
- 4.) Hardwarerealisation
- 5.) Zusammenfassung

FTT Konzept



Mehrstufiges Rekonstruktionskonzept für 4 Triggergruppen aus je 3 Drähten:

Level 1: Komplett gebuffert: 2,3 μs

- Qt -Analyse \rightarrow **Hits**
- Vergleich mit gültigen Masken \rightarrow **Spursegmente**

Vortrag:
J. Naumann

Level 2: Latenz 20 μs

- Zusammenfügen von Spursegmenten (*Linking*)
- Spurfit \rightarrow **Spur mit Parametern** (κ, Φ, Θ)
- Kinematische Variablen \rightarrow **Triggerentscheidung**

Level 3: Latenz $\sim 100 \mu\text{s}$

- Ereignisanalyse:
 - Invariante Massen, Δm
 - Topologien

Vortrag:
O. Behrendt

Spursegment-Link in $\kappa\Phi$ -Ebene

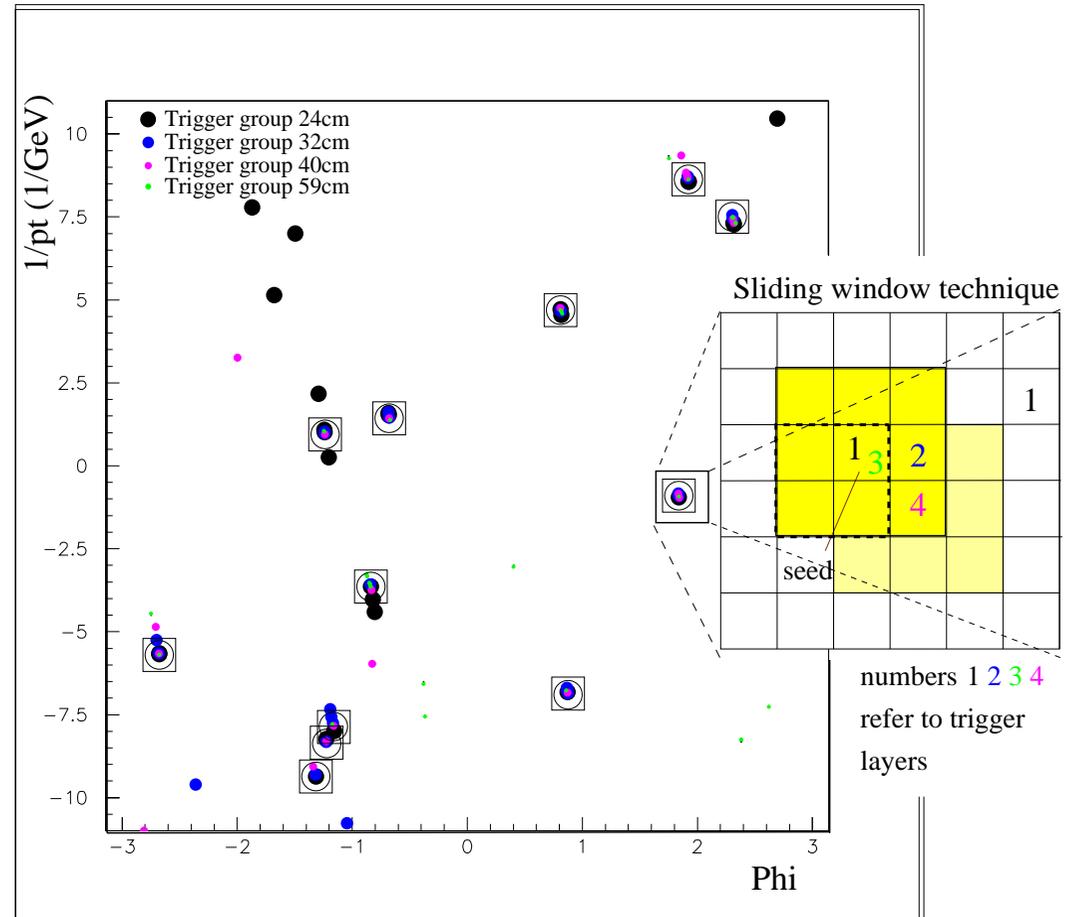
Spursegmente aus den Triggerlagen

$\kappa\Phi$ -Histogramm:

- 640 Bins in Φ
- 40 Bins in κ ($\sim 1/p_t$)

Aufgabe:

Finde alle "Cluster" in $10\mu\text{s}$



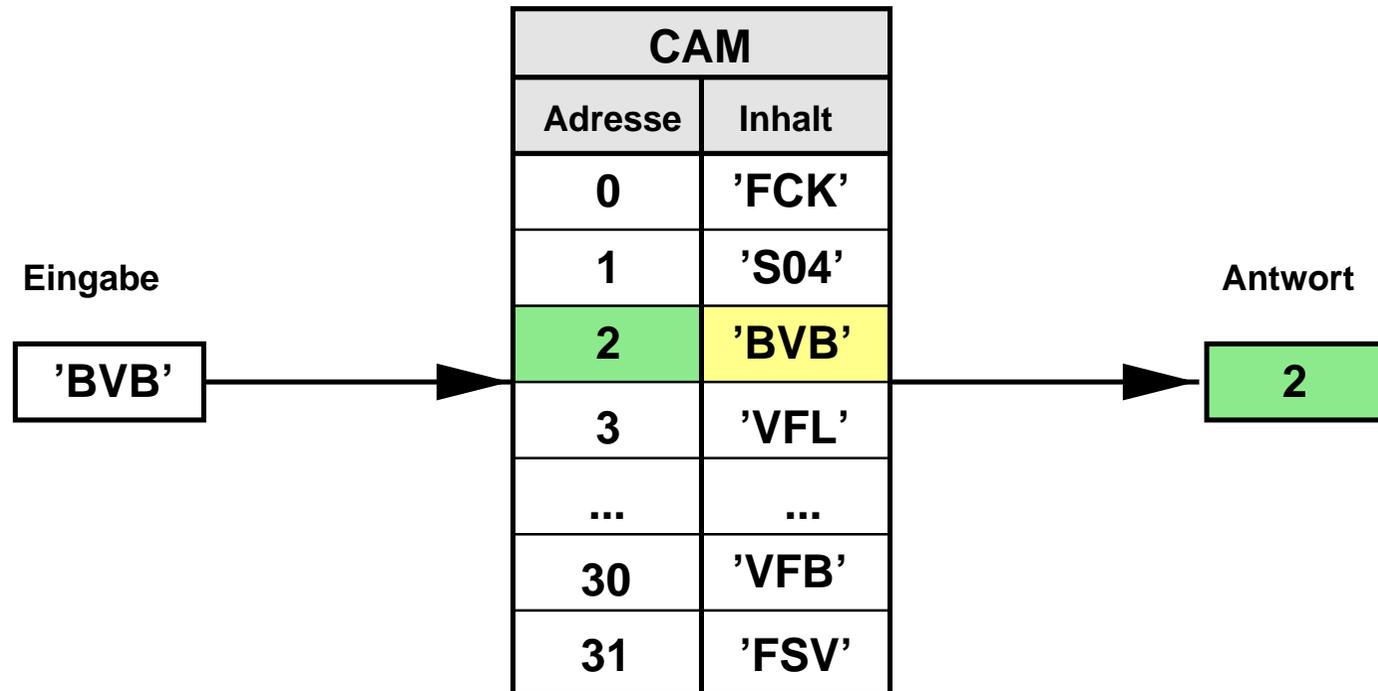
Bemerkung:

"Nachsehen" an 10% der Histogramm-Speicherstellen dauert: $2560 \cdot 10\text{ns} = 25,6\mu\text{s}$

↑
schneller
Speicher

Schlüsseltechnologie: CAM

CAM: Content Addressable Memory

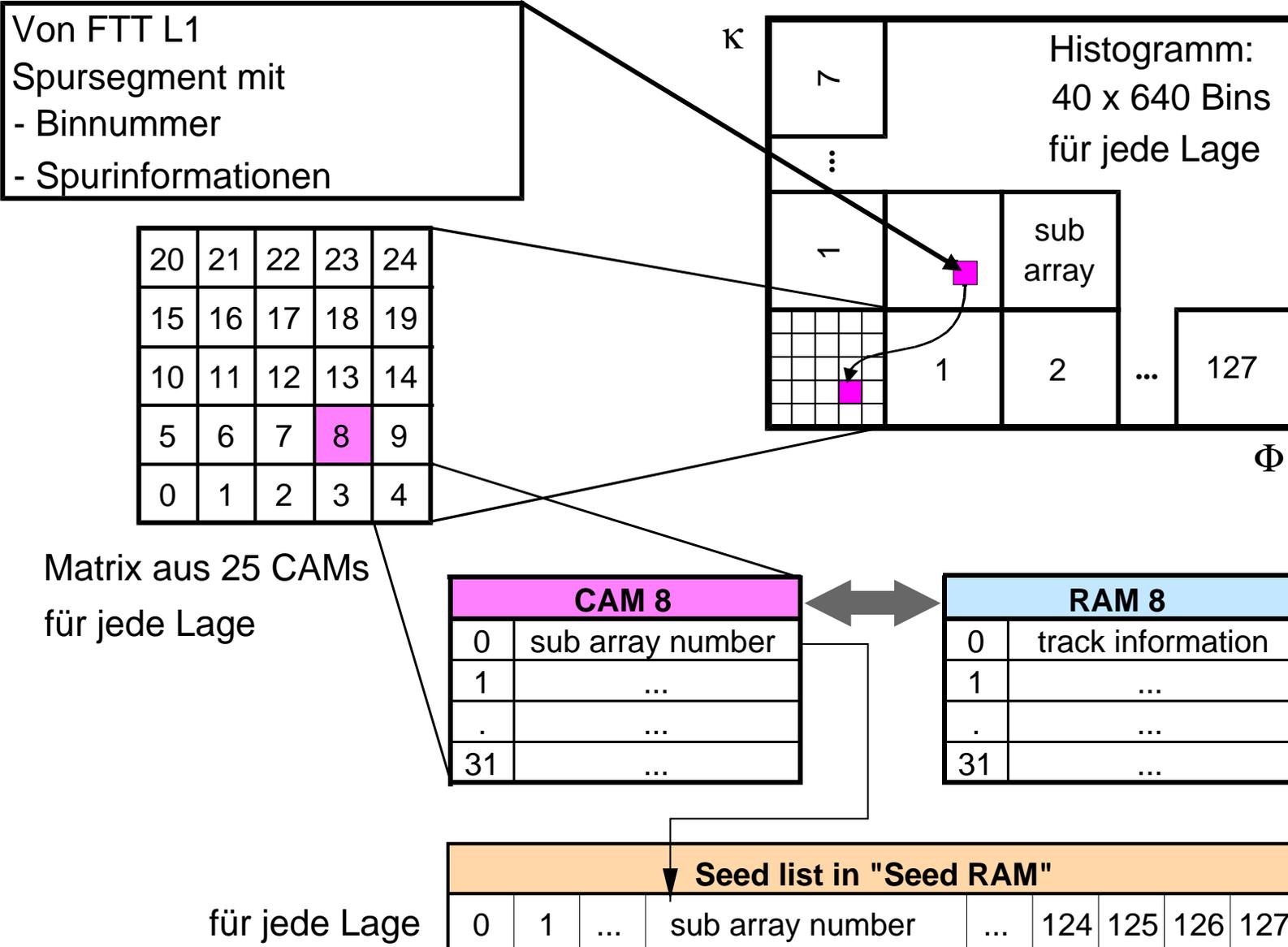


Ideal für paralleles Suchen und Mustererkennung

Funktionalität verfügbar in FPGAs der neusten Generation



Linkalgorithmus I



Linkalgorithmus II

Sub array number aus Seed list

20	21	22	23	24	20	21	22	23	24	20	21	22	23	24	20	21	22	23	24
15	16	17	18	19	15	16	17	18	19	15	16	17	18	19	15	16	17	18	19
10	11	12	13	14	10	11	12	13	14	10	11	12	13	14	10	11	12	13	14
5	6	7	8	9	5	6	7	8	9	5	6	7	8	9	5	6	7	8	9
0	1	2	3	4	0	1	2	3	4	0	1	2	3	4	0	1	2	3	4

CAMs Lage 1

CAMs Lage 2

CAMs Lage 3

CAMs Lage 4

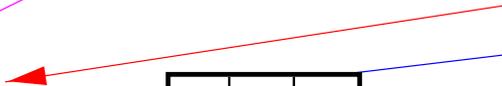
			1	
			1	
		1	2	

1	2	1
2	4	2
1	2	1

Gewichtsmatrix

0	2	2
1	6	6
2	9	11

Link gefunden



Fit gelinkter Spursegmente: $\kappa\Phi$ -Ebene

Verbesserung der Spurparameter durch Fit:

- 2 bis 4 gelinkte Spursegmente (x,y -Wertepaare)
- Runvertex (x,y -Wertepaar)

Nicht iterativer Kreisfitalgorithmus (*Karimäki et. al*)

- Implementiert auf 166 MHz Floating-Point DSP (Digital Signal Prozessor)
- Laufzeit $\sim 2\mu\text{s}$

Auflösung: $\frac{\sigma(p_t)}{p_t} \approx 0.04 \frac{p_t}{\text{GeV}} \quad \sigma(\phi) \approx 6\text{mrad}$

Fit gelinkter Spursegmente: *rz*-Ebene

z-Messung: Ladungsteilung

Linearer Fit im *sz*-Raum (*s* Spurlänge):

- 2 bis 4 mittlere *z*-Werte gelinkter Spursegmente
- *z*-Vertex vom Vertextrigger (Auflösung ~5cm)
- Algorithmus implementiert auf 166 MHz Floating-Point DSP
- Laufzeit ~1.2 μ s

Auflösung: $\sigma(\Theta) \approx 50\text{mrad}$

Laufzeitübersicht

Nach Level1Keep:

Aufgabe	Zeit	Summe
Segmente Senden & Empfangen	~1,0 μ s	1,0 μ s
CAMs laden	2,6 μ s	3,6 μ s
Linkalgorithmus	5,3 μ s	8,9 μ s
Fitzyklus I (Spur 1...24)	3,5 μ s	12,4 μ s
Fitzyklus II (Spur 24...48)	3,5 μ s	15,9 μ s
Triggerentscheidung	~3,0 μ s	~19 μ s

Anmerkung:

- Zeiten für maximale Spuranzahl
- Kleine Multiplizität → mehr Zeit für **Triggerentscheidung**

Hardwarerealisierung

Vielzweck VME-Board für:

- Link (1 Board)
- Spurfit (6 Boards)
- Triggerentscheidung (1 Board)
- weitere FTT-L1 Aufgaben (6 Boards)

Hauptkomponenten:

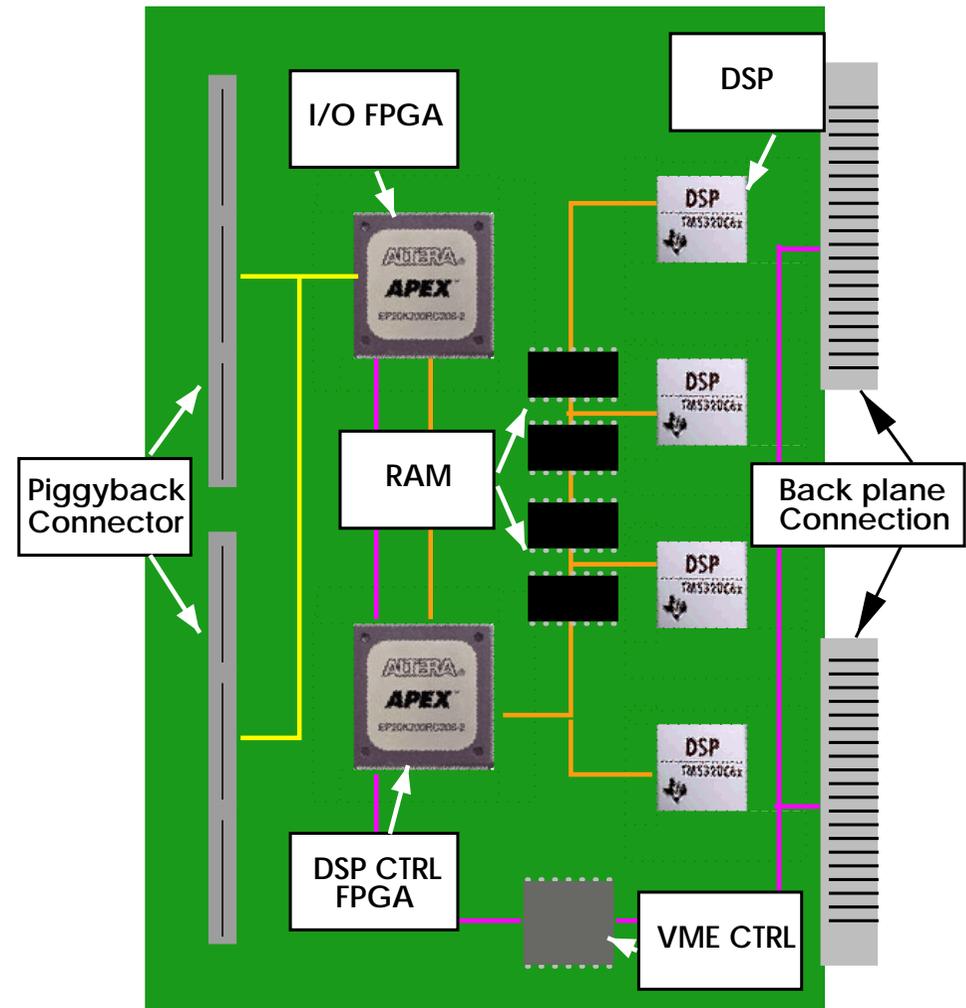
- 2 Altera FPGAs *APEX20k Serie*
- 4 Floating-Point TexasInstruments DSPs *TMS320C6701*
- 0,5 MB schnelles RAM
- Flexibels I/O mit Piggybackkarten

Gemeinschaftsentwicklung:

Supercomputing Systems
Excellence in High-Performance Computing

ETH Zürich

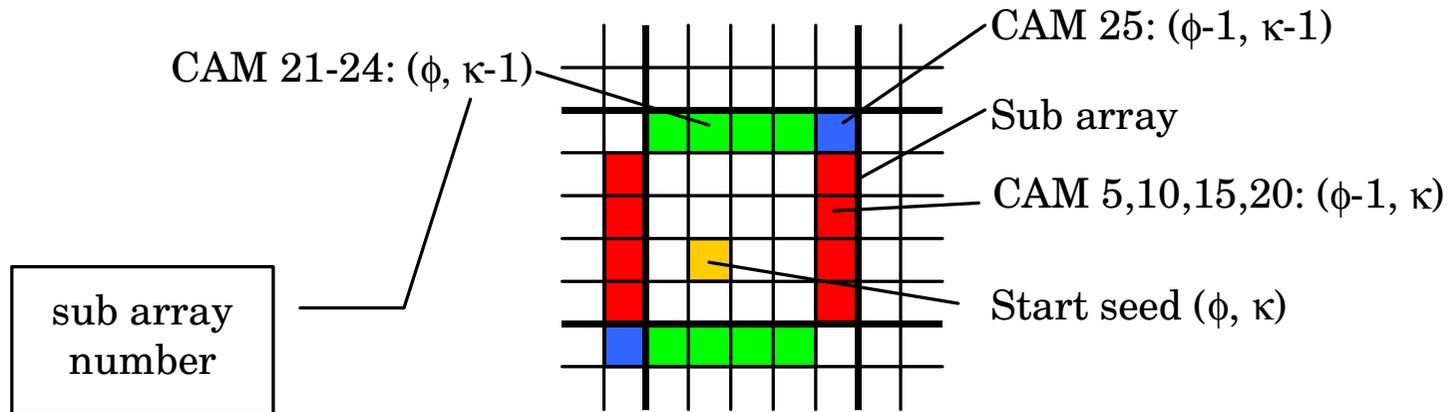
UNIVERSITÄT DORTMUND



Zusammenfassung

- FTT multi Level Triggersystem
- Auf der zweiten Stufe (20 μ s):
 - Link von Tracksegmenten im FPGA
 - Fit von Spurparametern im DSP
 - Rekonstruktion von Spuren in 3 Dimensionen
 - Triggerentscheidung

Details zum Linkalgorithmus



Seed nicht im Zentrum \rightarrow Suche entsprechend andere subarray number